

Ю.А. Браммер
И.Н. Пащук

ЦИФРОВЫЕ УСТРОЙСТВА

Допущено УМО высших учебных заведений
Российской Федерации по образованию
в области авиации, ракетостроения
и космоса в качестве учебного пособия
для студентов, обучающихся по специальности
«Радиоэлектронные системы»



Москва «Высшая школа» 2004

УДК 621.37
ББК 32.841
Б87

Рецензенты:

профессор *И.Я. Иммо́реев* (ГосНИИ «Аэронавигация»);
профессор *Ш.И. Панцхава* (заведующий кафедрой
«Управление и информатика в технических системах»
Московского государственного открытого университета)

Браммер Ю.А.

Б87 Цифровые устройства: Учеб. пособие для вузов / Ю.А. Браммер, И.Н. Пашук. — М.: Высш. шк., 2004. — 229 с.: ил.

ISBN 5-06-004425-4

Дано описание цифровых сигналов, схмотехнической базы, элементов и узлов цифровых устройств. Рассмотрены аналоговые компоненты, используемые при построении цифровых устройств, и функционально законченные цифровые устройства, реализованные на элементах и узлах.

Приведены вопросы для самопроверки, задачи, указания к ним и ответы.

Для студентов радиотехнических и приборостроительных вузов. Может быть полезно широкому кругу лиц, осваивающих цифровую технику.

УДК 621.37
ББК 32.841

ISBN 5-06-004425-4

© ФГУП «Издательство «Высшая школа», 2004

Оригинал-макет данного издания является собственностью издательства «Высшая школа», и его репродуцирование (воспроизведение) любым способом без согласия издательства запрещается.

Введение

К настоящему времени наиболее совершенные принципы и средства взаимодействия человека с окружающим миром (технологии взаимодействия) обеспечила цифровая техника. Ее наименее избыточный алфавит — двухуровневые символы, которыми оказалось возможным представлять (кодировать) любую информацию — привел к созданию чрезвычайно точных, надежных, малогабаритных и функционально-наращиваемых устройств.

Использование в цифровой технике двухсимвольного алфавита привело к созданию новых, исключительно эффективных методов передачи, хранения и преобразования сигналов, к новым средствам обработки информации — информационным технологиям (под этим словосочетанием понимают технологию обработки информации с использованием современных средств цифровой техники и ее вершины — вычислительной техники). Так родились основанные на новых принципах современные информационные технологии: связи (цифровая связь и цифровое телевидение), обнаружения (цифровая радиолокация и цифровая навигация), вычислений и автоматического управления (электронно-вычислительная техника), техники измерений и т. д. и т. п.

Цифровая техника стоит на трех «китах». Первый «кит» — теорема о дискретизации, сформулированная и доказанная в 1933 г. академиком В.А. Котельниковым. В этой теореме теоретически обоснована возможность получения цифрового эквивалента (цифрового образа) аналогового сигнала, хранить, передавать и обрабатывать который оказалось значительно проще и точнее, чем осуществлять аналогичные действия над аналоговым сигналом.

Второй «кит» — алгебра логики (булева алгебра, названная так в честь ее автора — ирландского математика Дж. Буля). Получившая дальнейшее развитие в основополагающих трудах А.Н. Колмогорова, К. Шеннона, В.И. Шестакова и других ученых, алгебра логики позволила поставить анализ и синтез цифровых схем на прочный математический фундамент.

Третий «кит» — импульсная техника, из которой цифровая техника заимствовала многие принципы, элементы и устройства.

Цифровые устройства обладают рядом преимуществ перед аналоговыми: огромная степень интеграции, составляющая десятки миллионов транзисторов в одной микросхеме, чрезвычайно низкая погрешность, достигающая 10^{-12} , малая зависимость от параметров окружающей среды.

Области применения цифровой техники поистине безграничны. К сказанному ранее можно добавить, что в настоящее время до 90 % всех разрабатываемых устройств — цифровые. Со знанием цифровой техники будущий инженер окажется востребованным в любой, по существу, области, и сумеет внести вклад в ее развитие.

Несколько поколений специалистов учились и учатся на трудах выдающихся отечественных ученых А.А. Андропова, М.А. Бонч-Бруевича, В.М. Глушкова, И.С. Гоноровского, Я.С. Ицхоки, В.А. Котельникова, Л.И. Мандельштама, Н.Д. Папалекси, Ф.Е. Темникова, А.А. Харкевича и многих, многих других, чей вклад в развитие цифровой техники признан во всем мире.

В первой части книги «Элементы и узлы цифровых устройств» описаны сигналы и элементная база цифровых устройств, дешифраторы и шифраторы, цифровые коммутаторы и компараторы, триггеры, счетчики и делители частоты, регистры, сумматоры, цифроаналоговые и аналого-цифровые преобразователи, оперативные и постоянные запоминающие устройства.

Во второй части «Аналоговые компоненты цифровых устройств» рассмотрены импульсные генераторы в автоколебательном и ждущем режимах, различные формирователи импульсов, аналоговые компараторы, таймеры, дифференцирующие и интегрирующие устройства.

В третьей части «Примеры цифровых устройств» приведены схемы электронных часов и электронного будильника, цифрового вольтметра, символьного дисплея, преобразователя кодов, цифровой индикации. Рассмотренные здесь схемы реализованы исключительно на элементах и узлах, описанных в первых частях учебника.

Значительное внимание авторы уделили составлению вопросов для самоконтроля и задач, ибо, по их мнению, именно эти элементы учебника развивают творческое мышление читателя и позволяют ему самостоятельно, объективно оценить свои знания. Эти задания не предусматривают выбора ответа (зачастую

случайного или очевидного) из ряда альтернативных. Каждый вопрос и задача не сводится к подстановке чисел в известные формулы или пересказу изложенного выше материала, а предусматривает цепь логических рассуждений читателя. Большинство вопросов и задач снабжено несколькими указаниями, которые не являются подсказками, а по существу, указывают на те разделы курса, которые следует вспомнить для получения правильного ответа, они помещены в конце каждой главы, а ответы к ним — в конце книги.

Авторы выражают искреннюю благодарность редактору Н.Е. Овчеренко, немало способствовавшей улучшению книги.

Отзывы и замечания просим направлять по адресу: 127994, Москва, ГСП-4, Неглинная ул., д. 29/14, ФГУП «Издательство «Высшая школа» или 107078, Москва, Новая Басманная ул., д. 16а, Радиовтуз МАИ.

Авторы

Часть первая

Элементы и узлы цифровых устройств

ГЛАВА 1

СИГНАЛЫ ЦИФРОВЫХ УСТРОЙСТВ

1.1. Общие сведения

Сигналом называют физический процесс, несущий информацию. Информация содержится в изменениях параметров сигнала (громкости и тона звука, яркости и цвета светового излучения, амплитуды, частоты и фазы электрического колебания).

Различают аналоговые и цифровые сигналы. Сигналы на выходе микрофона, передающей телекамеры, различного рода датчиков аналогичны по своему «рисунку» воздействиям на эти устройства — звуковому давлению, распределению освещенности, температуре и т. д. Поэтому их называют аналоговыми, а устройства, в которых они действуют — аналоговыми устройствами.

Цифровые сигналы являются искусственными, «рукотворными», их разделяют на две категории. К одной из них относят сигналы, формируемые из аналоговых сигналов. Такой сигнал нужно считать цифровым эквивалентом (цифровым образом) аналогового сигнала. Он несет в себе всю информацию о численном значении параметров физических величин (о температуре, напряжении, механическом усилии и т. д.), заложенную в аналоговом сигнале.

Ко второй категории относят так называемые логические сигналы, появление которых связано с наступлением или ненаступлением того или иного события.

По устоявшейся терминологии сигналы обеих категорий называют одинаково — цифровыми сигналами. Во избежание пу-



Рис. 1.1

таницы далее в учебнике цифровым сигналом будем называть цифровой эквивалент аналогового сигнала, а логический сигнал — своим именем. Это и приводимая ниже классификация сигналов цифровых устройств (рис. 1.1) будут объяснены далее.

Устройства, в которых действуют цифровые сигналы, называют цифровыми устройствами.

1.2. Двоичная система счисления

Последующее изложение материала требует некоторых сведений о двоичной системе счисления. Напомним, что основанием десятичной системы счисления (десятичного кода) является число 10, используемых цифр — десять: 0, 1, 2, ... 9, а «веса» единиц в соседних разрядах отличаются в 10 раз. В этой системе любое число представляется последовательностью коэффициентов в разложении этого числа по степеням числа 10. Так, например, число 38_{10} (индекс 10 указывает на запись числа в десятичной системе счисления) выражается суммой: $38_{10} = 3 \cdot 10^1 + 8 \cdot 10^0$, где основание системы 10 возводится в нулевую степень (в первом, младшем разряде), в первую степень (во втором разряде), а коэффициентами ряда являются цифры 3 и 8, последовательное написание которых представляет рассматриваемое число.

В двоичной системе счисления основанием системы является число 2, используемых цифр — две: 0 и 1, а «веса» единиц в соседних разрядах отличаются вдвое. Число в двоичной системе

счисления представляется последовательностью коэффициентов в разложении этого числа по степеням числа 2. Так, число 38_{10} выражается следующим рядом по степеням 2:

$$38_{10} = 1 \cdot 2^5 + 0 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 10110_2,$$

где индекс 2 указывает, что данная совокупность цифр выражает число в двоичной системе счисления (является двоичным кодом числа). Как следует из последнего примера, двоичный код формируется так же, как десятичный; его разряды — коэффициенты в разложении числа по степеням основания (в данном случае — по степеням 2).

Рассмотренный двоичный код (у которого «веса» единиц в соседних разрядах отличаются вдвое) называется натуральным двоичным кодом. В таком коде было записано приведенное ранее число.

Преимуществом двоичной системы счисления является то, что она использует только две цифры. Поэтому в аппаратуре для выполнения операций над числами в двоичной системе счисления (над двоичными числами) достаточно пользоваться двумя значениями, к примеру, напряжения. Наряду с этим, в двоичной системе счисления число имеет большее количество разрядов, чем в десятичной, что является ее недостатком.

Нередко в цифровых устройствах используют смешенное — двоично-десятичное представление числа. Аналогично представлению в десятичной системе счисления оно составляется десятичными разрядами единиц, десятков, сотен и т. д. Однако цифра в таком десятичном разряде представлена в двоичной системе счисления (двоичным кодом). Так как наибольшей цифрой в десятичном разряде является 9, то он должен содержать четыре двоичных разряда (тетраду). Двоично-десятичное представление числа используется, в частности, в системах индикации, когда число индицируется в привычной десятичной системе счисления, а его каждый разряд может формироваться элементами, работающими с двоичными кодами.

1.3. Цифровые сигналы

Цифровой сигнал формируется из аналогового сигнала аналого-цифровым преобразователем (АЦП), который нередко называют преобразователем аналог — код. Такое преобразование сводится к тому, что из аналогового сигнала периодически про-

изводятся выборки мгновенных значений (сигнал дискретизируется; теперь он существует в определенные, дискретные моменты времени). Затем осуществляется квантование сигнала: «высота» каждой выборки округляется до ближайшего разрешенного уровня (уровни квантования). После этого сигнал представляется совокупностью выборок, существующих в дискретные моменты времени, каждая из которых может иметь только конечное (не бесконечное) число значений. Поэтому каждое из этих значений может быть оцифровано (что невозможно при бесконечном числе значений), в частности, двоичным числом (двоичным кодом). Разряд кода выборки представляют обычно уровнем потенциала: единицу в разряде — высоким уровнем (U^1), нуль — низким (U^0), а разряды кода выборки в целом представляются последовательностью U^1 и U^0 . Совокупность таких последовательностей, каждая из которых выражает квантованный уровень соответствующей выборки, является цифровым сигналом.

На выходах АЦП последовательность U^1 и U^0 , соответствующая одной выборке, сменяется последовательностью, соответствующей следующей выборке и т. д. (Обычно говорят: код одной выборки сменяется кодом другой.)

Высокий уровень U^1 , представляющий единицу в разряде кода, называют «логическая единица», а низкий уровень U^0 , представляющий нуль в разряде кода, — «логический нуль». Нередко эти уровни называют логическими потенциалами.

Кроме использованного соответствия (в цифровом сигнале уровнем большего значения представляется 1 в разряде кода, а уровнем с меньшим значением — нуль) применяется и обратное (уровень сигнала с большим значением представляет нуль, а уровень с меньшим значением — 1 в разряде кода).

Цифровой сигнал можно представить в параллельной и в последовательной формах. В первом случае уровни, выражающие цифры (0 или 1) в разрядах кода квантованной выборки, появляются одновременно, параллельно. На рис. 1.2 эти уровни представляются разряды

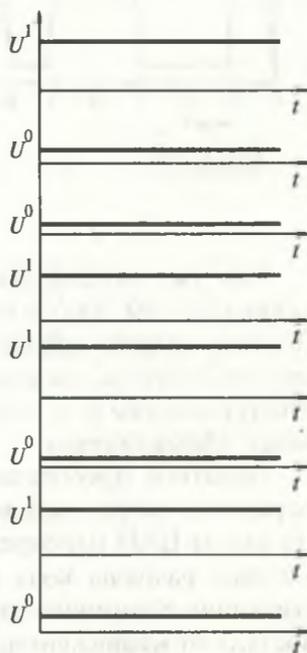


Рис. 1.2

8-разрядного кода 10011010 — «высота» некоторой выборки аналогового сигнала. При этом количество линий передачи, а также однотипных элементов устройства, обрабатывающих такой сигнал, соответствует его разрядности. Однако во многих случаях это компенсируется скоростью обработки. При представлении цифрового сигнала в последовательной форме (последовательным кодом) уровни, выражающие цифры в разрядах кода выборки, сменяют друг друга, т. е. появляются последовательно; каждый остается неизменным в течение так называемого тактового интервала; на его границе уровень потенциала изменяется, если следующая цифра двоичного кода отличается от предыдущей.

На рис. 1.3, а код 10011010, выражающий прежнюю квантованную выборку, представлен последовательно сменяющимися уровнями. Цифры (1 и 0) в разрядах кода выборки могут представляться как потенциалами (потенциальный цифровой сигнал на рис. 1.2 и 1.3, а), так и импульсами и их отсутствием — импульсный цифровой сигнал на рис. 1.3, б.

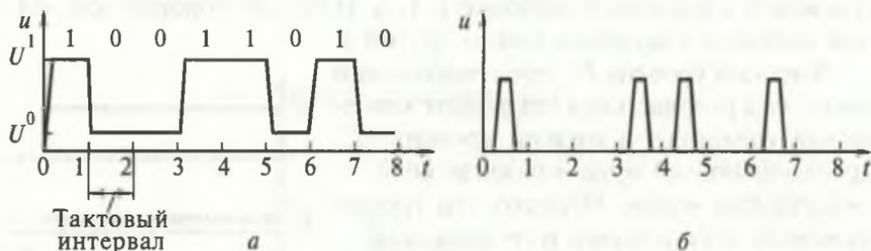


Рис. 1.3

Как уже отмечалось, цифровой сигнал является цифровым эквивалентом аналогового сигнала, его цифровым образом. Поэтому вместо операций над аналоговым сигналом (передачи, преобразования, хранения) можно производить операции над соответствующим ему цифровым сигналом. Часто это оказывается более эффективным.

Обратное преобразование цифрового сигнала в аналоговый осуществляется цифроаналоговым преобразователем (ЦАП). На входы ЦАП одновременно поступают потенциалы, представляющие разряды кода каждой выборки. Потенциалы, соответствующие единицам, открывают ключи, через которые на выход поступают напряжения, пропорциональные весам единиц разрядов. Так на выходе формируется напряжение, пропорциональ-

ное «весу» кода каждой выборки. Аналого-цифровые и цифроаналоговые преобразователи описаны в гл. 10.

Цифровые сигналы используют в устройствах различного назначения. В электронно-вычислительных машинах и в цифровой автоматике входная информация представляется цифровыми сигналами, над которыми эти устройства осуществляют необходимые действия. В системах радиосвязи цифровыми сигналами передаются сообщения, имеющие разную форму: звуковую, печатную, форму изображения и т. д. Такая связь отличается скрытностью и помехоустойчивостью. Последнее обусловлено тем, что цифровой сигнал имеет только два различимых уровня. Поэтому когда значение сигнала попадает между ними, то это фиксируется как помеха. Аналоговый сигнал очистить от помехи значительно сложнее, что объясняется следующим. Мгновенные значения аналогового сигнала, разделенные бесконечно малым временным интервалом, отличаются на бесконечно малую величину, т. е. аналоговый сигнал имеет несчетное (бесконечное) количество значений. Поэтому искажающая помеха может быть принята за составляющую полезного сигнала.

1.4. Логические сигналы

Логические сигналы занимают особое место в цифровых устройствах.

Цифровые сигналы, рассмотренные в п. 1.3 отражают числовые значения физических величин — напряжение, температуру, механическое усилие и др. При измерении неэлектрических величин последние преобразуются в электрические, которые затем подаются на вход АЦП для получения цифровых сигналов.

Наряду с ними в цифровых устройствах действуют сигналы, появление которых связано с наступлением или ненаступлением какого-либо события. Такие сигналы тоже являются двоичными, т. е. представляются двумя уровнями потенциала — высоким (U^1) и низким (U^0), либо наличием и отсутствием импульса. Один из этих уровней кодируется (представляется) логической единицей, а другой — логическим нулем. Поэтому их тоже относят к цифровым сигналам, хотя они имеют совершенно другой смысл. Чтобы ощутить разницу между этими видами сигналов, обратимся к сравнивающему устройству — компаратору (он будет рассмотрен в гл. 5). Когда два двоичных числа на его входах окажутся равными, на одном из выходов появится потенциал

определенного уровня, свидетельствующий о наступлении события — равенстве кодов. Точно такой же сигнал появится на этом выходе при равенстве чисел совсем другой величины. Сигнал такого же уровня будет на другом выходе компаратора, если одно число меньше другого, причем величина их разности никакого влияния на величину этого сигнала не оказывает.

Описанные сигналы на выходах компаратора имеют одинаковые значения. Разработчики аппаратуры предусматривают их появление как ответ на наступление того или иного события вне зависимости от его содержания (числа оказались одинаковыми, одно число стало больше другого, некоторое преобразование закончилось и т. д.), важны лишь истинность события или его ложность.

Наличие или отсутствие описанных сигналов и порождающие их условия связаны выражениями типа «если ..., то...» и другими логическими связями. Поэтому такие сигналы называют логическими. Это название связано с тем, что аналогичные условия между причиной и следствием являются предметом обсуждения и изучения в логике.

Формальная логика — наука о законах и формах человеческого мышления — оперирует с высказываниями вне зависимости от их содержания, учитывая только их истинность или ложность. Истинные высказывания: «Электрический ток существует только в замкнутой цепи», «Архангельск расположен в Северном полушарии»; ложные: «Кит — теплолюбивое растение», «Ангара — приток Волги».

Высказывания и события бывают простые и сложные. Простое содержит только один факт, не зависящий от других фактов, т. е. само по себе может быть истинным или ложным. В приведенных выше примерах высказывания — простые. Сложное высказывание содержит несколько простых высказываний, например: «Я пойду в кино, если не будет дождя и со мной пойдет приятель».

Появление сигнала на любом входе многовходового устройства соответствует наступлению простого события, а появление ожидаемого сигнала на выходе устройства — результат действия всех входных сигналов — соответствует наступлению сложного события.

Введение в формальную логику ограниченного числа логических связок (они будут описаны далее), допускающих лишь

строго определенное толкование, позволило однозначно представлять сложное высказывание (сложное событие) совокупностью простых, а введение символов, обозначающих простые высказывания, — решать логические задачи математическими средствами. Их совокупность составляет содержание алгебры логики, или булевой алгебры, названной так в честь ее создателя — английского математика Дж. Буля. В соответствии с ней истинному высказыванию (наступлению события) обычно приписывается (ставится в соответствие) символ 1 (лог. 1), а ложному (ненаступлению события) — символ 0 (лог. 0). Такое соответствие относят к классу положительной логики. Обратное соответствие относят к классу отрицательной логики.

Необходимо отметить, что применительно к логическому сигналу символы 0 и 1 никакого отношения к числовому значению сигнала не имеют. Они лишь описывают качественное состояние события, и поэтому к ним неприменимы арифметические операции. В электрических цепях эти символы обычно представляются так же, как аналогичные в цифровом сигнале: лог. 1 — высоким, а лог. 0 — низким уровнем потенциала.

Рассмотрим сложное событие: «Автомат сработает, когда будут нажаты кнопки К1, К2 и К4 или нажата кнопка К3 и не нажаты ранее упомянутые кнопки. Другие сочетания нажатых кнопок срабатывания автомата не вызывают». Здесь простые события (нажатие кнопок) внедрены в сложное событие (срабатывание автомата) с помощью союзов-связок И, ИЛИ, НЕ; состояния кнопок играют роль аргументов (переменных), над ними эти союзы осуществляют такие функциональные преобразования, которые формируют функцию — условие срабатывания автомата.

Далее простое событие будем обозначать символом x , а сложное событие, являющееся функцией простых, — символом y .

Из изложенного ранее следует, что булева алгебра оперирует с переменными, принимающими только два значения: 0 и 1, т. е. с двоичными переменными. Функция двоичных переменных, принимает те же два значения и называется логической функцией (переключательной функцией, функцией алгебры логики, булевой функцией).

Логическая функция может быть выражена словесно, в алгебраической форме и таблицей, называемой переключательной таблицей или таблицей истинности.

1.5. Элементы алгебры логики

Любое сложное высказывание или сложное событие (например, описание функционирования устройства, события на его выходе и т. д.), можно описать, используя три логические операции: сложение (дизъюнкцию), умножение (конъюнкцию) и отрицание (инверсию), которыми могут быть связаны простые высказывания. Этот набор логических функций называют функционально полным набором или базисом.

1.5.1. Базисные логические функции И, ИЛИ, НЕ

Логическое сложение (дизъюнкция). Дизъюнкция является функцией (y) переменных (x_1, x_2, \dots, x_n) и фиксирует наступление сложного события ($y = 1$), если наступило хотя бы одно простое событие ($x_1 = 1$ ИЛИ $x_2 = 1 \dots$ ИЛИ $x_n = 1$). Отсюда следует еще одно название рассматриваемой операции — операция ИЛИ.

Дизъюнкция записывается в виде

$$y = x_1 + x_2 + \dots + x_n. \quad (1.1)$$

Значение $y = 0$ имеет место только при $x_1 = x_2 = \dots = x_n = 0$.

Наступление всех простых событий ($x_1 = 1, x_2 = 1, \dots, x_n = 1$) тоже, естественно, приводит к наступлению сложного события, т. е. при любом числе логических слагаемых, равных единице, их логическая сумма равна единице: $y = 1$, если $x_1 = x_2 = \dots = x_n = 1$.

Таблица 1.1

x_1	x_2	y
1	1	1
1	0	1
0	1	1
0	0	0

Табл. 1.1 представляет собой таблицу истинности операции ИЛИ двух переменных. В каждой ее строке записаны значения переменных x_1 и x_2 и соответствующее им значение функции y . Кроме знака «+», дизъюнкция обозначается знаком \vee :

$$y = x_1 \vee x_2 \dots \vee x_n.$$

Элемент, выполняющий дизъюнкцию, называют дизъюнктом или элементом ИЛИ (рис. 1.4). Электрическая реализация операции ИЛИ представлена на рис. 1.5, а. Замкнутое состояние ключа будем представлять (кодировать) логической единицей ($\text{Кл} = 1$), разомкнутое — логическим нулем ($\text{Кл} = 0$). Лампочка будет светить ($\text{Л} = 1$), если выполняются условия: ключ $\text{Кл}1$ замкнут, ключ $\text{Кл}2$

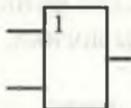


Рис. 1.4

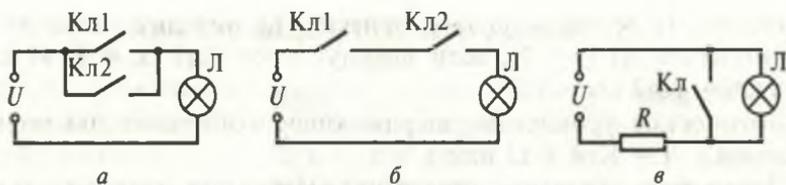


Рис. 1.5

разомкнут (первое простое высказывание) — $Kл1 = 1, Kл2 = 0$ ИЛИ ключ $Kл1$ разомкнут, ключ $Kл2$ замкнут (второе простое высказывание) ИЛИ ключ $Kл1$ замкнут, ключ $Kл2$ замкнут (третье простое высказывание).

Событие «Лампочка светит, если...» можно представить состояниями ключей в операции ИЛИ: $L = Kл1 + Kл2$ или в привычной алгебраической форме: $y = x_1 + x_2$, где x_1 соответствует состоянию ключа $Kл1$, x_2 — состоянию ключа $Kл2$, а y — состоянию лампочки.

Логическое умножение (конъюнкция). Конъюнкция переменных фиксирует наступление сложного события, если имеет место наступление всех простых событий, определяющих данное сложное событие. Конъюнкция записывается в виде

$$y = x_1 \cdot x_2 \cdot \dots \cdot x_n. \quad (1.2)$$

Если хотя бы одно из простых событий не наступило (хотя бы одна из логических переменных равна нулю), то сложное событие не наступает — функция равна нулю. Только в том случае, когда $x_1 = 1, x_2 = 1$ И, ..., И $x_n = 1$ $y = 1$. Поэтому данная операция называется также операцией И. Табл. 1.2 представляет собой таблицу истинности операции И двух переменных.

Таблица 1.2

x_1	x_2	y
1	1	1
1	0	0
0	1	0
0	0	0

Кроме приведенной, используют и другую форму записи конъюнкции: $y = x_1 \wedge x_2 \dots \wedge x_n$.

Элемент, выполняющий конъюнкцию, называется конъюнктом или элементом И (рис. 1.6).

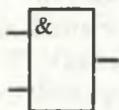


Рис. 1.6

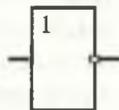


Рис. 1.7

На рис. 1.5, б показана электрическая реализация операции И. Лампочка светит ($y = 1$), если замкнут ключ Кл1 ($x_1 = 1$) И замкнут ключ Кл2 ($x_2 = 1$).

Логическое уравнение, выражающее состояние лампочки, имеет вид: $L = \text{Кл1} \text{ Кл2}$ или $y = x_1 \cdot x_2$.

Логическое отрицание (инверсия). Инверсия записывается в виде

$$y = \bar{x}. \quad (1.3)$$

Она называется также операцией НЕ (читается «у НЕ х»). Табл.

Таблица 1.3

x	y
1	0
0	1

1.3 представляет собой таблицу истинности операции НЕ. Элемент, выполняющий инверсию, называется инвертором или элементом НЕ (рис. 1.7). Электрическая реализация операции НЕ показана на рис. 1.5, в. Если ключ Кл замкнут ($\text{Кл} = 1$), то лампочка НЕ светит ($L = 0$), при $\text{Кл} = 0$ $L = 1$.

Если в выражении (1.1) дизъюнкцию заменить конъюнкцией и проинвертировать все переменные x , то результат окажется инверсией прежнего значения функции. Действительно, пусть $x_1 = x_2 = 1, x_3 = x_4 = \dots = x_n = 0$ и поэтому $y_1 = 1$; после инверсии $x_1 = x_2 = 0, x_3 = x_4 = \dots = x_n = 1$ и конъюнкция этих переменных $y_2 = 0$, т. е. равна инверсии y_1 . Аналогично, если в выражении (1.2) конъюнкцию заменить дизъюнкцией и проинвертировать все переменные, то результат окажется инверсией прежнего значения функции. Указанные свойства выражают принцип двойственности алгебры Буля.

1.5.2. Основные соотношения алгебры логики

Приводимые далее соотношения записаны в основном для частного случая двух переменных.

Основные тождества алгебры логики:

$$x + 0 = x; x + 1 = 1; x + x = x; x + \bar{x} = 1;$$

$$x \cdot 0 = 0; x \cdot 1 = x; x \cdot x = x; x \cdot \bar{x} = 0; x = \overline{\bar{x}}.$$

Справедливость первых двух тождеств каждой строки легко установить, имея в виду, что вторая переменная задана (0 — событие не наступило, 1 — наступление события). Поэтому правая часть, к примеру, первого тождества верхней строки, т. е. сложное событие целиком определяется значением первой переменной x .

Третье выражение первой строки тождеств ($x + x = x$) говорит о том, что логическая сумма одинаковых событий равна одному из них. Последнее выражение первой строки тождеств ($x + \bar{x} = 1$) — закон исключения третьего: из двух противоположных событий (например, ключ замкнут или ключ разомкнут) одно обязательно должно быть истинным (третьего не дано), поэтому их логическая сумма истинна. Предпоследнее выражение второй строки тождеств ($x \cdot \bar{x} = 0$) — закон противоречия: два противоположных события (например, ключ замкнут и ключ разомкнут) не могут быть одновременно истинными.

Основные законы алгебры логики. При сложении и умножении переменных действуют следующие законы алгебры логики:
переместительный закон

$$x_1 + x_2 = x_2 + x_1; x_1 x_2 = x_2 x_1;$$

сочетательный закон

$$(x_1 + x_2) + x_3 = x_1 + (x_2 + x_3); (x_1 x_2) x_3 = x_1 (x_2 x_3);$$

распределительный закон

$$x_1 (x_2 + x_3) = x_1 x_2 + x_1 x_3; x_1 + (x_2 x_3) = (x_1 + x_2)(x_1 + x_3).$$

Справедливость последнего равенства (не имеющего аналога в обычной алгебре) легко доказать, используя тождества $x_1 = x_1(1 + x_2 + x_3)$, $x_1 = x_1 x_1$. Действительно, $x_1 + x_2 x_3 = x_1(1 + x_2 + x_3) + x_2 x_3 = x_1 + x_1 x_2 + x_1 x_3 + x_2 x_3 = x_1 x_1 + x_1 x_2 + x_1 x_3 + x_2 x_3 = (x_1 + x_2)(x_1 + x_3)$.

Закон поглощения

$$x_1 + x_1 x_2 = x_1; x_1(x_1 + x_2) = x_1.$$

Оба этих равенства доказываются просто:

$$x_1 + x_1 x_2 = x_1(1 + x_2) = x_1; x_1(x_1 + x_2) = x_1 x_1 + x_1 x_2 = x_1 + x_1 x_2 = x_1(1 + x_2) = x_1.$$

Закон склеивания

$$x_1 x_2 + x_1 \bar{x}_2 = x_1; (x_1 + x_2)(x_1 + \bar{x}_2) = x_1.$$

Справедливость этих равенств легко установить:

$$\begin{aligned} x_1 x_2 + x_1 \bar{x}_2 &= x_1(x_2 + \bar{x}_2) = x_1; (x_1 + x_2)(x_1 + \bar{x}_2) = \\ &= x_1 x_1 + x_1 x_2 + x_1 \bar{x}_2 + x_2 \bar{x}_2 = x_1(1 + x_2 + \bar{x}_2) = x_1. \end{aligned}$$

Закон отрицания (закон инверсии, теорема де Моргана)

$$\overline{x_1 + x_2} = \bar{x}_1 \bar{x}_2; \overline{x_1 x_2} = \bar{x}_1 + \bar{x}_2.$$

Справедливость этих выражений следует из принципа двойственности алгебры Буля.

Приведем пример, иллюстрирующий теорему де Моргана. Пусть переменная x_1 представляет поездку на автобусе, а x_2 — поездку на трамвае. Правая часть первого равенства выражает то, что мы не поедem на автобусе (\bar{x}_1) И не поедem на трамвае (\bar{x}_2). Поэтому высказывание «Мы поедem на автобусе ИЛИ на трамвае» — $(x_1 + x_2)$ не верно, и его надо заменить на противоположное — $\overline{(x_1 + x_2)}$, чему и соответствует левая часть равенства.

Проиллюстрировать второе равенство де Моргана мы предоставляем читателю.

1.5.3. Базисные логические функции И-НЕ, ИЛИ-НЕ

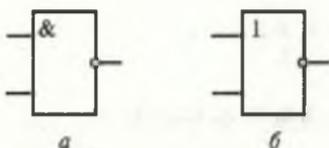


Рис. 1.8

Функция И-НЕ представляет собой совокупность функций И и НЕ (рис. 1.8, а), а функция ИЛИ-НЕ — совокупность функций ИЛИ и НЕ (рис. 1.8, б).

Покажем, что функциями И-НЕ (ИЛИ-НЕ) можно реализовать функции И, ИЛИ, НЕ. Этим будет доказано, что рассматриваемые функции являются базисами, так как базисом является совокупность элементов И, ИЛИ, НЕ. Для этого запишем функцию, которую нужно реализовать, и преобразуем ее так, чтобы в окончательный результат входили конъюнкция и инверсия (при использовании элементов И-НЕ) или дизъюнкция и инверсия (при использовании элементов ИЛИ-НЕ) — табл. 1.4.

Таблица 1.4

Базисы	Реализация элементов базиса И, ИЛИ, НЕ		
	НЕ	И	ИЛИ
И-НЕ	$y_1 = \bar{x} = x\bar{x}$	$y_2 = x_1x_2 = \overline{\overline{x_1x_2}}$	$y_3 = x_1 + x_2 = \overline{\bar{x}_1\bar{x}_2}$
ИЛИ-НЕ	$y_4 = \bar{x} = x + \bar{x}$	$y_5 = x_1x_2 = \overline{\overline{x_1x_2}}$	$y_6 = x_1 + x_2 = \overline{\bar{x}_1\bar{x}_2}$

При записи правых частей приведенных функций (см. табл. 1.4) учтено: для y_1 — тождество $x\bar{x} = \bar{x}$, для y_4 — тождество $x + \bar{x} = 1$, для y_2 и y_6 — тождество $x = \overline{\bar{x}}$, для y_3 и y_5 — теорема де Моргана. Таким образом, в соответствии с правой частью приведенных равенств операции И, ИЛИ, НЕ могут быть

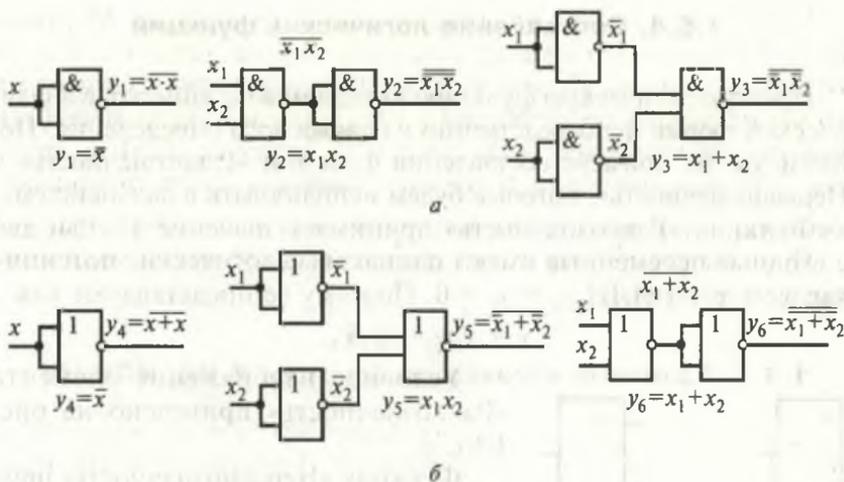


Рис. 1.9

выполнены элементами И-НЕ, а также элементами ИЛИ-НЕ. На рис.1.9, *а* приведена схемная реализация операций НЕ, И, ИЛИ на элементах И-НЕ, а на рис. 1.9, *б* — тех же операций на элементах ИЛИ-НЕ.

Функцию И-НЕ называют функцией Шеффера (штрихом Шеффера) и обозначают в виде $y = x_1|x_2$, а функцию ИЛИ-НЕ — функцией Пирса (стрелкой Пирса) и обозначают в виде $y_1 = x_1 \downarrow x_2$. Базис И-НЕ называют базисом Шеффера, а базис ИЛИ-НЕ — базисом Пирса.

Логическое устройство, реализованное в базисе И-НЕ (ИЛИ-НЕ), имеет преимущества по сравнению с устройством, реализованным в базисе И, ИЛИ, НЕ:

- уменьшение номенклатуры элементов до одного типа, что упрощает компоновку устройства и его ремонт;
- наличие в каждом элементе инвертора (усилителя), который компенсирует затухание потенциалов при передаче их через конъюнктор или дизъюнктор элемента. Благодаря этому не накапливается затухание сигнала при прохождении его через ряд последовательно включенных элементов, что могло бы вызвать снижение уровня U^1 (лог. 1). Кроме того, инвертор увеличивает нагрузочную способность элемента: подключение допустимого числа других элементов к его выходу не вызывает заметного уменьшения на нем уровней потенциалов (что важно для U^1), а наличие емкости на выходе не вызывает длительного переходного процесса при смене потенциалов.

1.5.4. Составление логических функций

Простую логическую функцию иногда можно записать в аналитической форме непосредственно из словесного определения. Покажем это на примере составления функций «Равнозначность» и «Неравнозначность», которые будем использовать в дальнейшем.

Функция «Равнозначность» принимает значение 1, если две ее входные переменные имеют одинаковые логические потенциалы: $x_1 = x_2 = 1$ ИЛИ $x_1 = x_2 = 0$. Поэтому ее представляют как

$$y = x_1x_2 + \bar{x}_1\bar{x}_2.$$

Условное изображение элемента «Равнозначность» приведено на рис. 1.10, а.

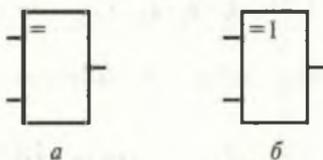


Рис. 1.10

Функция «Неравнозначность» принимает значение 1, если две ее входные переменные имеют разные логические потенциалы: $x_1 = 1, x_2 = 0$ ИЛИ $x_1 = 0, x_2 = 1$. Поэтому ее представляют

в следующем виде:

$$y = x_1\bar{x}_2 + \bar{x}_1x_2 = x_1 \oplus x_2,$$

где значок \oplus символизирует функцию «Неравнозначность».

Функцию «Неравнозначность» иначе называют «Исключающее ИЛИ». Ей присуще интересное свойство: если на один ее вход подать лог. 1, то логический потенциал, поданный на второй вход, будет на выходе инвертирован; если же вместо лог. 1 на один вход подать лог. 0, то функция будет вести себя как повторитель логического потенциала, поданного на другой вход. Читатель легко проверит это самостоятельно. Условное изображение элемента «Неравнозначность» дано на рис. 1.10, б. Вместо приведенного значка (= 1) используется значок $m2$, указывающий на то, что «Исключающее ИЛИ» функционирует по правилам сложения одноразрядных двоичных чисел (сложение по модулю 2): $1 + 0 = 1$; $0 + 1 = 1$; $0 + 0 = 0$; $1 + 1 = 0$ (при арифметическом сложении единица переносится в соседний более старший разряд).

В общем случае для получения аналитической формы функции используют таблицы истинности.

Приведем пример. Пусть на выходе некоторого устройства должен появиться сигнал высокого уровня (лог. 1, $y = 1$), если на входах устройства действует комбинация сигналов x_1, x_2, x_3 из

набора № 1 ИЛИ из набора № 2 ИЛИ из набора № 3 ИЛИ из набора № 6, приведенные в табл. 1.5. Если на каждом перечисленном наборе конъюнкция сигналов будет равна лог. 1, то на выходе устройства будет сигнал высокого уровня (V^1).

Таблица 1.5

Номер набора	x_3	x_2	x_1	y	Номер набора	x_3	x_2	x_1	y
0	1	1	1	0	4	0	1	1	0
1	1	1	0	1	5	0	1	0	0
2	1	0	1	1	6	0	0	1	1
3	1	0	0	1	7	0	0	0	0

Таким образом, функция, представленная табл. 1.5, запишется в виде

$$y = x_3 x_2 \bar{x}_1 + x_3 \bar{x}_2 x_1 + x_3 \bar{x}_2 \bar{x}_1 + \bar{x}_3 \bar{x}_2 x_1, \quad (1.4)$$

где сигналы x_1, x_2, x_3 инвертированы, если они в соответствующих наборах равны лог. 0 (иначе конъюнкция не будет равна 1).

Такая форма логической функции называется совершенной дизъюнктивной нормальной формой (СДНФ). Она представляется логической суммой простых конъюнкций, каждая из которых содержит все переменные в прямом или инверсном виде не более одного раза; в такие конъюнкции не входят суммы переменных, а также отрицания произведений двух или более переменных. Входящие в СДНФ конъюнкции называются минтермами или конституентами единиц. Логическая сумма конъюнкций, отличающаяся от (1.4) тем, что все конъюнкции или некоторые из них не содержат всех переменных (в прямом или инверсном виде), представляет собой дизъюнктивную нормальную форму (ДНФ) функции.

Логическую функцию можно составить не только по единичным, но и по нулевым значениям. Из табл. 1.5 следует, что на наборах №№ 0, 4, 5, 7 $y = 0$. Чтобы на каждом указанном наборе имело место $y = 0$, нулю должна равняться дизъюнкция переменных из этого набора, т. е. каждое слагаемое дизъюнкции; если в данном наборе переменная равна единице, то в дизъюнкцию должна входить ее инверсия. На всех указанных наборах функция из табл. 1.5 будет равна 0, если осуществить конъюнкцию составленных дизъюнкций:

$$y = (\bar{x}_3 + \bar{x}_2 + \bar{x}_1)(x_3 + \bar{x}_2 + \bar{x}_1)(x_3 + \bar{x}_2 + x_1)(x_3 + x_2 + x_1). \quad (1.5)$$

Здесь $y = 0$ обеспечивают: первый сомножитель при $\bar{x}_3 = \bar{x}_2 = \bar{x}_1 = 0$ (при $x_3 = x_2 = x_1 = 1$, т. е. на наборе № 0), второй сомножитель при $x_3 = \bar{x}_2 = \bar{x}_1 = 0$ (при $x_3 = 0; x_2 = x_1 = 1$, т. е. на наборе № 4), третий сомножитель при $x_3 = \bar{x}_2 = x_1 = 0$ (при $x_3 = x_1 = 0; x_2 = 1$, т. е. на наборе № 5), четвертый сомножитель при $x_3 = x_2 = x_1 = 0$, т. е. на наборе № 7.

Форма, в которой выражена функция (1.5), называется совершенной конъюнктивной нормальной формой (СКНФ). Она представляется логическим произведением дизъюнкций, каждая из которых содержит все переменные в прямом или инверсном виде не более одного раза. Дизъюнкции, входящие в произведение сомножителей, называются макстермами или конституентами нулей.

Логическое произведение дизъюнкций, отличающееся от (1.5) тем, что все дизъюнкции или некоторые из них не содержат всех переменных (в прямом или инверсном виде), представляет собой конъюнктивную нормальную форму (КНФ) функции.

Так как одна и та же логическая функция, выраженная определенной таблицей истинности, записывается в СДНФ и СКНФ, то каждую из этих форм можно преобразовать в другую. Логическая функция имеет единственные СДНФ и СКНФ, что непосредственно следует из методики их построения.

1.5.5. Минимизация логических функций

Минимизацией называют процедуру упрощения логической функции для того, чтобы она содержала минимальное количество членов при минимальном числе переменных. В простых случаях минимизацию можно осуществить, непосредственно используя основные законы булевой алгебры. В качестве примера упростим выражение (1.4), используя закон склеивания для первого и третьего членов, а также для второго и четвертого:

$$\begin{aligned} y &= x_3 x_2 \bar{x}_1 + x_3 \bar{x}_2 x_1 + x_3 \bar{x}_2 \bar{x}_1 + \bar{x}_3 \bar{x}_2 x_1 = \\ &= x_3 \bar{x}_1 (x_2 + \bar{x}_2) + \bar{x}_2 x_1 (x_3 + \bar{x}_3) = x_3 \bar{x}_1 + \bar{x}_2 x_1. \end{aligned}$$

Полученное выражение равносильно исходному, но намного проще его.

Пусть имеется логическая функция

$$y = x_3 x_2 \bar{x}_1 + x_3 \bar{x}_2 x_1 + \bar{x}_3 x_2 x_1 + x_3 x_2 x_1.$$

Добавим дважды к ее правой части уже имеющийся член $x_3 x_2 x_1$ (отчего функция не изменится); тогда

$$y = x_3x_2\bar{x}_1 + x_3\bar{x}_2x_1 + \bar{x}_3x_2x_1 + x_3x_2x_1 + x_3x_2x_1 + x_3x_2x_1 = \\ = x_3x_2(x_1 + \bar{x}_1) + x_3x_1(x_2 + \bar{x}_2) + x_2x_1(x_3 + \bar{x}_3) = x_3x_2 + x_3x_1 + x_2x_1.$$

И это выражение значительно проще исходного.

Следует отметить, что такие элементарные приемы минимизации удается использовать нечасто — при малом количестве членов функции и небольшом числе переменных. В других случаях применяют специальные методы минимизации, облегчающие поиск склеивающихся членов. К ним относится метод минимизации с помощью карт Карно.

Карта Карно построена так, что в ее соседние клетки попадают смежные члены функции — члены, отличающиеся значением одной переменной: в один член эта переменная входит в прямой форме, а в другой — в инверсной. Благодаря этому получается наглядное представление о различных вариантах склеивания смежных членов. В карте Карно содержится столько клеток, сколько комбинаций (наборов) можно составить из прямых и инверсных значений n переменных по n членов в каждой. Так, при $n = 2$ карта содержит четыре клетки (рис. 1.11, а), при $n = 3$ — восемь клеток (рис. 1.11, б), при $n = 4$ — 16 клеток (рис. 1.11, в).

Каждая клетка соответствует определенной комбинации переменных. Так, например, левая верхняя клетка карты (см. рис. 1.11, а) соответствует комбинации x_1x_2 : над столбцом левых клеток указан x_1 в прямой форме, возле верхней строки записан в прямой форме x_2 . Левая нижняя клетка той же карты соответствует комбинации $x_1\bar{x}_2$, так как на нижнюю строку клеток не распространяется «действие» x_2 — клетки этой строки отвечают комбинациям, где присутствует \bar{x}_2 . Клетке нижней строки третьего слева столбца (см. рис. 1.11, б) соответствует комбинация $x_3\bar{x}_2\bar{x}_1$, клетке второго слева столбца третьей сверху строки (см. рис. 1.11, в) — комбинация $x_4x_3\bar{x}_2x_1$ и т. д.

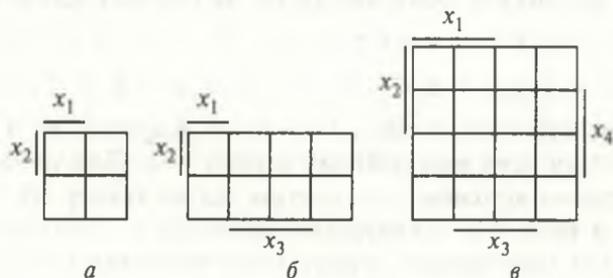


Рис. 1.11

Наборы переменных, на которых $y = 1$, т. е. минтермы функции, отмечаются в соответствующих клетках карты 1, в остальные клетки записываются 0 или их оставляют пустыми. Две стоящие в соседних клетках 1 свидетельствуют о том, что в составе СДНФ имеются члены, отличающиеся значением одной переменной. Такие члены, как известно, склеиваются. Склеивание каждой пары минтермов уменьшает число входящих в них переменных на 1.

Общие правила склеивания членов, занесенных в карту Карно, следующие:

1) склеиваться могут 2, 4, 8, ... членов; при этом соответствующие 1 в клетках для наглядности охватываются прямоугольными контурами;

2) одним контуром следует объединять максимально возможное количество клеток;

3) одна и та же 1 может охватываться разными контурами, т. е. один и тот же минтерм может склеиваться с несколькими смежными; последнее объясняется тем, что значение функции не меняется при прибавлении уже имеющихся членов;

4) крайние строки, а также крайние столбцы карты считаются смежными; их можно таковыми представить, если мысленно свернуть карту в горизонтальный или вертикальный цилиндр.

Функция, минимизированная подобным образом с помощью карты Карно, состоит из суммы простых конъюнкций. Каждая из них получается в результате склеивания членов, которым соответствуют охваченные контуром единицы. В такую конъюнкцию входят только те переменные, значения которых в пределах контура не меняются.

Пусть логическая функция задана таблицей истинности 1.6. Из нее по указанной методике легко составить СДНФ функции:

$$y = x_4 x_3 x_2 x_1 + x_4 x_3 x_2 \bar{x}_1 + x_4 x_3 \bar{x}_2 x_1 + x_4 x_3 \bar{x}_2 \bar{x}_1 + x_4 \bar{x}_3 \bar{x}_2 x_1 + x_4 \bar{x}_3 \bar{x}_2 \bar{x}_1 + \bar{x}_4 \bar{x}_3 x_2 x_1 + \bar{x}_4 \bar{x}_3 x_2 \bar{x}_1 + \bar{x}_4 \bar{x}_3 \bar{x}_2 x_1 + \bar{x}_4 \bar{x}_3 \bar{x}_2 \bar{x}_1. \quad (1.6)$$

Непосредственно из табл. 1.6 в карту Карно (рис. 1.12) занесены значения всех выписанных минтермов. Для удобства проверки в правом верхнем углу клетки указан номер минтерма по его месту в табл. 1.6. Контурами охвачены 1, соответствующие склеиваемым минтермам. В результате функция (1.6) представляется в виде

$$y = x_4 x_3 + x_4 \bar{x}_2 + \bar{x}_4 \bar{x}_3.$$

Таблица 1.6

Номер набора	x_4	x_3	x_2	x_1	y	Номер набора	x_4	x_3	x_2	x_1	y
0	1	1	1	1	1	8	0	1	1	1	0
1	1	1	1	0	1	9	0	1	1	0	0
2	1	1	0	1	1	10	0	1	0	1	0
3	1	1	0	0	1	11	0	1	0	0	0
4	1	0	1	1	0	12	0	0	1	1	1
5	1	0	1	0	0	13	0	0	1	0	1
6	1	0	0	1	1	14	0	0	0	1	1
7	1	0	0	0	1	15	0	0	0	0	1

Данная форма функции значительно проще первоначальной. Интересно отметить, что она не содержит переменной x_1 .

Для получения наиболее простой формы зачастую необходимо при минимизации рассматривать всевозможные варианты склеивания.

При числе аргументов, большем четырех, применение карт Карно становится трудоемким, и обычно используют другие методы минимизации.

Бывает необходимо минимизировать функцию, значения которой при некоторых комбинациях переменных не определены. Такой случай может иметь место, если значение функции при этих комбинациях безразлично или если определенные комбинации переменных невозможны по условиям задачи. На таких избыточных (запрещенных, факультативных) комбинациях функции можно придать любое значение: 0 или 1. Рациональное доопределение функции может оказаться весьма эффективным для ее минимизации и, следовательно, для упрощения устройства, реализованного в соответствии с ней.

В заключение рассмотрим следующую логическую задачу. В точках 1, 2, 3, 4 некоторой конструкции установлены термодатчики x_1, x_2, x_3, x_4 , фиксирующие превышения температуры над установленными уровнями. Деформация ее может наступить при одновременном перегреве в точках 4, 3, 2, 1; 4, 3; 3, 2, 1; а также

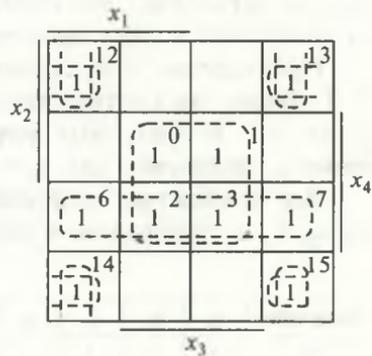


Рис. 1.12

только в точке 2 при отсутствии перегревов в точках. По условиям эксплуатации не могут существовать ситуации, описываемые наборами (комбинациями) №№ 2, 4, 5, 6, 7, 9, 10, 11, 14, 15 табл. 1.7, где $x_i = 1$ соответствует перегреву в точке i ($i = 1...4$), а $x_i = 0$ — отсутствию перегрева. Другие сочетания перегревов не опасны. При наступлении опасной ситуации должен быть подан сигнал тревоги.

Отметим особенности задачи. Одна состоит в том, что интерес представляет не конкретное значение температуры, а факт превышения допустимого уровня, т. е. наступление или не наступление определенного события. Другая особенность в том, что сигнал тревоги должен быть подан при одновременном наступлении определенных ситуаций и не должен подаваться при других ситуациях. Это свидетельствует о том, что данная задача принадлежит к типу логических.

Превышение допустимого уровня температуры в точках 4, 3, 2, 1 обозначим соответственно $x_4 = 1$, $x_3 = 1$, $x_2 = 1$, $x_1 = 1$, а тот факт, что в указанных точках температура ниже допустимого уровня, обозначим как $x_4 = 0$, $x_3 = 0$, $x_2 = 0$, $x_1 = 0$.

Все возможные комбинации четырех двоичных переменных x_1, x_2, x_3, x_4 приведены в переключательной табл. 1.7.

Таблица 1.7

Номер набора	x_4	x_3	x_2	x_1	y	Номер набора	x_4	x_3	x_2	x_1	y
0	1	1	1	1	1	8	0	1	1	1	1
1	1	1	1	0	0	9	0	1	1	0	—
2	1	1	0	1	—	10	0	1	0	1	—
3	1	1	0	0	1	11	0	1	0	0	—
4	1	0	1	1	—	12	0	0	1	1	0
5	1	0	1	0	—	13	0	0	1	0	1
6	1	0	0	1	—	14	0	0	0	1	—
7	1	0	0	0	—	15	0	0	0	0	—

Опасные комбинации в точках 4, 3, 2, 1; 4, 3; 3, 2, 1; 2 представляются в следующем виде:

- 1) $x_4 = 1, x_3 = 1, x_2 = 1, x_1 = 1$;
- 2) $x_4 = 1, x_3 = 1, x_2 = 0, x_1 = 0$;
- 3) $x_4 = 0, x_3 = 1, x_2 = 1, x_1 = 1$;
- 4) $x_4 = 0, x_3 = 0, x_2 = 1, x_1 = 0$.

В графе y опасные комбинации представлены лог. 1.

Комбинации 1) $x_4 = 1, x_3 = 1, x_2 = 1, x_1 = 0$ и 2) $x_4 = 0, x_3 = 0, x_2 = 1, x_1 = 1$ не являются опасными ($y = 0$). Прочерки в графе y сделаны против тех комбинаций, которые по условиям задачи не являются реальными, т. е., по существу, запрещены.

Используя табл. 1.7, можно составить логическую функцию. Она будет содержать четыре 4-буквенные конъюнкции, объединенные дизъюнкцией. После перенесения данных из табл. 1.7 в карту Карно (рис. 1.13, а) заметим, что с целью минимизации выгодно доопределить функцию, положив ее равной 1 на наборах №№ 5, 7, 15, 6, 2, 14, 10, 11 и равной 0 на наборах № 4, 9 (рис. 1.12, б). При этом минимизированная функция имеет вид $y = x_3x_1 + \bar{x}_2 + \bar{x}_3\bar{x}_1$. Такую функцию должно реализовать устройство, включающее сигнал тревоги. Схема устройства составляется по приведенному уравнению аналогично тому, как это было сделано для функций «Равнозначность» и «Неравнозначность».

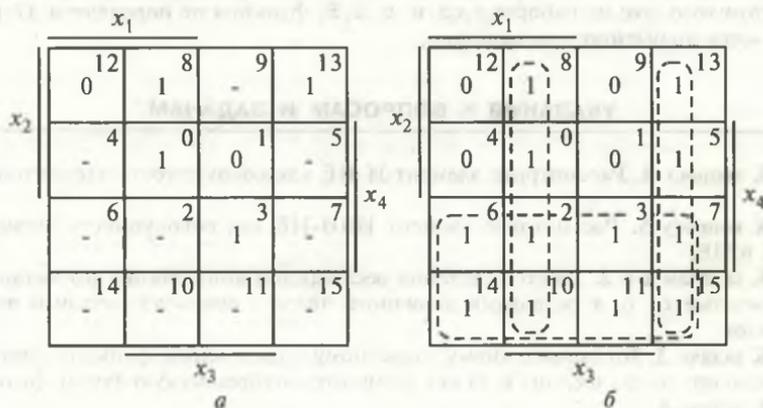


Рис. 1.13

ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ

1. Укажите буквенное обозначение элемента, который может обратить схему «Равнозначность» в схему «Неравнозначность» и наоборот.
2. Укажите логический потенциал (1 или 0), который нужно подать на один из входов элемента «Исключающее ИЛИ», чтобы по второму входу он выполнял роль инвертора.
3. Укажите логический потенциал (1 или 0), который нужно подать на один из входов элемента «Исключающее ИЛИ», чтобы по второму входу он выполнял роль повторителя.

4. Укажите логический потенциал (1 или 0), который надо подать на один из входов элемента И-НЕ, однозначно определяющий состояние его выхода, а также значение потенциала на выходе.

5. Укажите логический потенциал (1 или 0), который надо подать на один из входов элемента ИЛИ-НЕ, однозначно определяющий состояние его выхода, а также значение потенциала на выходе.

6. Преобразуйте двоично-десятичный код 0010 0111 1001 в десятичный.

ЗАДАЧИ

1. Используя тождества и законы булевой алгебры, минимизируйте выражение $y = x_3 \bar{x}_2 \bar{x}_1 + \bar{x}_3 x_2 \bar{x}_1 + x_3 x_2 \bar{x}_1 + \bar{x}_3 \bar{x}_2 \bar{x}_1$ и определите «вес» результата.

2. С помощью карты Карно минимизируйте выражение $y = \bar{x}_3 x_2 x_1 + \bar{x}_3 \bar{x}_2 x_1 + x_3 \bar{x}_2 x_1 + \bar{x}_3 x_2 \bar{x}_1$ и определите его «вес». По полученной форме составьте принципиальную схему устройства.

3. Составьте схему 3-входового мажоритарного устройства. На его выходе должна появляться лог. 1, когда на любой паре входов присутствуют лог. 1.

4. Минимизируйте логическую функцию $y = \bar{x}_3 x_2 x_1 + \bar{x}_3 \bar{x}_2 x_1 + x_3 \bar{x}_2 x_1 + x_3 \bar{x}_2 \bar{x}_1$ с учетом того, что на наборах $x_3 x_2 x_1$ и $\bar{x}_3 \bar{x}_2 \bar{x}_1$ функция не определена. Определите «вес» полученного выражения.

УКАЗАНИЯ К ВОПРОСАМ И ЗАДАЧАМ

К вопросу 4. Рассмотрите элемент И-НЕ как совокупность элементов И и НЕ.

К вопросу 5. Рассмотрите элемент ИЛИ-НЕ как совокупность элементов ИЛИ и НЕ.

К задачам 1 и 2. Для определения веса каждой конъюнкции посчитайте ее переменные x_3, x_2, x_1 разрядами двоичного числа с соответствующими весами разрядов.

К задаче 3. По приведенному словесному определению функции составьте переключательную таблицу и из нее запишите алгебраическую форму функции.

К задаче 4.

1) в карте Карно наделяйте значениями 1 и 0 те неопределенные значения функции, при которых минимизация оказывается наиболее оптимальной;

2) для определения суммы весов полученных конъюнкций посчитайте ее переменные x_3, x_2, x_1 разрядами двоичного числа с соответствующими весами разрядов.

ЛИТЕРАТУРА

1. *Зельдин Е.А.* Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. — Л.: Энергоатомиздат, 1986. С. 6—16.

2. *Калабеков Б.А.* Цифровые устройства и микропроцессорные системы. — М.: Телеком, 2000. С. 4—97.

3. *Потемкин И.С.* Функциональные узлы цифровой автоматики. — М.: Энергоатомиздат, 1988. С. 10—45.

ГЛАВА 2

ЭЛЕМЕНТНАЯ БАЗА ЦИФРОВЫХ УСТРОЙСТВ

2.1. Общие сведения

Ранее указывалось, что любую логическую функцию можно выразить элементарными логическими функциями И, ИЛИ, НЕ, а также функциями И-НЕ и ИЛИ-НЕ. Поэтому любое цифровое устройство может быть выполнено на микросхемах — сочетании элементов, реализующих эти функции. Ограниченное число элементарных логических функций, а также то, что цифровые сигналы являются только двухуровневыми, позволяет выполнять цифровые устройства на микросхемах без использования навесных элементов.

Микросхема, реализующая сложную логическую функцию, по существу, представляет собой совокупность элементов И-НЕ или ИЛИ-НЕ. По схемотехнической структуре эти элементы и составляемые ими более сложные микросхемы делятся на ряд серий (семейств, типов). В каждую серию входит ряд микросхем, выполняющих различные функции, но имеющих аналогичные схемотехнические решения и конструктивное исполнение.

Наиболее распространены микросхемы следующих серий: ТТЛ (транзисторно-транзисторная логика), КМОП-логика (на дополняющих — комплементарных металл—окисел—полупроводник транзисторах), ЭСЛ (эмиттерно-связанная логика). Внутри каждой серии промышленность выпускает микросхемы малой, средней, большой и сверхбольшой степени интеграции.

Классификация цифровых микросхем, описанных в данной главе, приведена на рис. 2.1.

2.2. Элементарная реализация логических функций

Диодный логический элемент ИЛИ. На выходе элемента ИЛИ (дизъюнктора) должна быть лог. 1, если хотя бы на одном входе присутствует лог. 1. Для этого надо, чтобы лог. 1, появившаяся

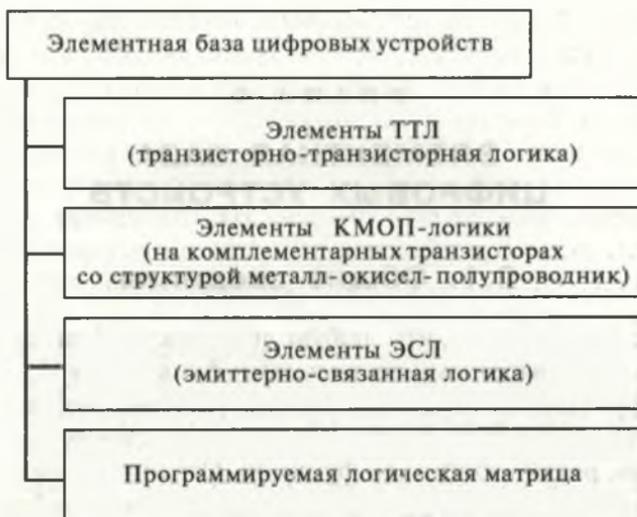


Рис. 2.1

на выходе, препятствовала поступлению туда лог. 0 с другого входа. В схеме, представленной на рис. 2.2, а это достигается тем, что высокий потенциал U^1 (лог. 1) на одном из входов через открытый диод почти целиком выделяется на резисторе ($R_{\text{отх}} \ll R$) и запирает со стороны катода тот диод, на анод которого с другого входа поступает низкий уровень лог. 0. На выходе элемента будет лог. 1, если на 1-м входе ИЛИ на 2-м входе, ИЛИ на обоих входах одновременно будут лог. 1.

Диодный логический элемент И. На выходе элемента И (конъюнктора) должен быть лог. 0, если он присутствует хотя бы на

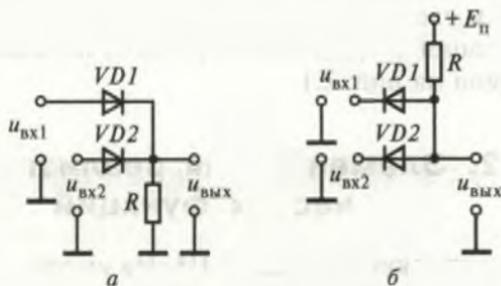


Рис. 2.2

одном входе. Если это условие выполняется, то соответствующий диод открыт (рис. 2.2, б), ток, протекающий через резистор R , и напряжение на нем существенные и поэтому $u_{\text{вых}}$ мало — на выходе лог. 0. Если на обоих входах лог. 1, то диоды прикрыты, ток через резистор R и напряжение на нем незначительны и $u_{\text{вых}}$ мало отличается от напряжения питания E_n — на выходе лог. 1.

Логический элемент НЕ. Элемент НЕ (инвертор) должен инвертировать логический сигнал: лог. 1 на входе (высокий потенциал) должна обеспечивать лог. 0 (низкий потенциал) на выходе, и наоборот.

Как известно, подобным свойством обладает ключевой каскад с общим эмиттером (рис. 2.3, а) или с общим истоком (рис. 2.3, б). Если на базу биполярного кремниевого транзистора $n-p-n$ -типа (см. рис. 2.3, а) воздействует положительное напряжение достаточной величины (лог. 1), то коллекторный ток достигает значения тока насыщения ($i_k = I_{\text{кн}} \approx E_k/R_k$), а напряжение на коллекторе снижается до значения, близкого к нулю ($u_k = E_k - I_{\text{кн}}R_k \approx 0$). При воздействии на базу небольшого положительного напряжения (лог. 0) кремниевый транзистор практически заперт ($U_{\text{отп}} \approx 0,6 \text{ В}$) — коллекторный ток $i_k \approx 0$, а напряжение на коллекторе $u_k \approx E_k$.

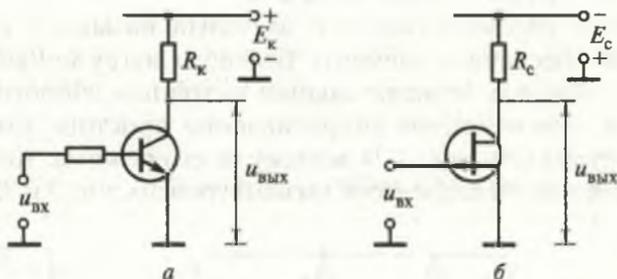


Рис. 2.3

2.3. Базовые логические элементы

Всякая микросхема, реализующая сложную логическую функцию, представляет, по существу, совокупность элементов И-НЕ или ИЛИ-НЕ. Для всех микросхем серии элемент И-НЕ (ИЛИ-НЕ) является базовым.

2.3.1. Базовый ТТЛ-элемент И-НЕ

В базовом ТТЛ-элементе И-НЕ обе логические операции (И и НЕ) осуществляются транзисторами, чем определяется название типа логики: транзисторно-транзисторная.

Конъюнктор элемента (рис. 2.4, а) выполнен на многоэмиттерном транзисторе (МЭТ) $VT1$, который легко реализуется методами интегральной технологии. Его база через резистор R_6 соединена с положительным зажимом источника питания E_n , эмиттеры являются входами элемента, а в цепь коллектора включен эмиттерно-базовый переход транзистора $VT2$. Потенциал базы $VT1$ выше потенциала коллектора, поэтому коллекторный переход $VT1$ открыт. Режим эмиттерного перехода зависит от ситуации на входах элемента. Если хотя бы на одном входе присутствует низкий потенциал лог. 0 (например, $x_1 = 0$), то потенциал эмиттера u_3 меньше потенциала базы u_6 — эмиттерный переход открыт. Таким образом, оба перехода $VT1$ открыты, и он насыщен. При этом практически весь ток базы проходит в цепь эмиттера, а напряжение $u_{к1}$ на коллекторе составляет доли вольта. Если же на всех входах элемента высокий потенциал U^1 ($x_1 = x_2 = x_3 = 1$), то $u_3 > u_6$; эмиттерный переход закрыт и ток базы $VT1$ переключается в цепь коллектора, напряжение $u_{к1}$ на котором составляет теперь около 2 В.

Инвертор рассматриваемого элемента называют сложным. Он должен обеспечить элементу большую нагрузочную способность, т. е. обладать незначительным выходным сопротивлением. Напомним, что выходное сопротивление простого транзисторного инвертора (см. рис. 2.3) зависит от его режима. Когда транзистор насыщен, на коллекторе низкий уровень лог. 0 и $R_{\text{вых}}$ весьма

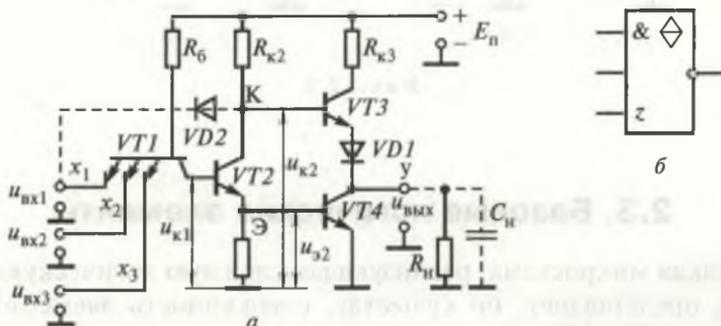


Рис. 2.4

мало: оно равно сопротивлению $r_{\text{нас}}$ насыщенного транзистора. Если транзистор закрыт, на его коллекторе высокий потенциал, а $R_{\text{вых}} \approx R_{\text{к}}$. Чтобы $R_{\text{вых}}$ рассматриваемого элемента было незначительно при обоих уровнях потенциала на выходе, к последнему подключены две цепи: первая из них содержит транзистор $VT4$, а вторая — транзистор $VT3$ и диод $VD1$. Когда закрыт $VT3$ и насыщен $VT4$, на выходе низкий потенциал (лог. 0), а $R_{\text{вых}} = r_{\text{нас}}$. Когда закрыт $VT4$ и открыт $VT3$, на выходе высокий потенциал (лог. 1); при этом каскад на транзисторе $VT3$ работает в активном режиме как эмиттерный повторитель (с малым $R_{\text{вых}}$), нагрузкой которого являются подключенные к выходу $R_{\text{н}}$ и $C_{\text{н}}$. Резистор $R_{\text{кз}}$ имеет небольшое сопротивление, и в данном случае с его влиянием можно не считаться.

Рассмотрим, как осуществляется включение и выключение транзисторов $VT3$ и $VT4$. Ранее отмечалось, что если, к примеру, $x_1 = 0$, то напряжение $u_{\text{к1}}$ на коллекторе $VT1$ незначительно. В этом режиме оно меньше 0,6 В — напряжения, при котором появляется заметный ток в коллекторных цепях кремниевых транзисторов данной микросхемы. Поэтому транзистор $VT2$ практически закрыт, его эмиттер имеет потенциал, близкий к нулю, а коллектор — высокий потенциал. В результате $VT3$ открыт, а $VT4$ заперт ($u_{\text{вых}} = U^1$, $y = 1$). Таким образом, при лог. 0 на одном из входов (например, при $x_1 = 0$) на выходе будет лог. 1 ($y = 1$).

Ранее также было установлено, что если на всех входах элемента присутствует высокий потенциал (лог. 1), то эмиттерный переход $VT1$ закрыт и ток базы поступает в его коллектор, т. е. в базу транзистора $VT2$. В результате $VT2$ насыщается, по сравнению с предыдущим режимом потенциал его эмиттера $u_{\text{э2}}$ возрастает, а потенциал коллектора $u_{\text{к2}}$ уменьшается до 1 В. Следствием увеличения $u_{\text{э2}}$ является насыщение транзистора $VT4$ ($u_{\text{вых}} = U^0 \approx 0,2$ В — лог. 0). Таким образом, при $x_1 = x_2 = x_3 = 1$ $y = 0$. Сопоставляя это с режимом $x_1 = 0$, $y = 1$, приходим к выводу, что рассматриваемый элемент реализует логическую функцию И-НЕ.

В отсутствие диода $VD1$ на эмиттерно-базовый переход $VT3$ при $u_{\text{вых}} = U^0$ воздействовало бы напряжение $u_{\text{бэ3}} = u_{\text{к2}} - u_{\text{вых}} = 1 - 0,2 = 0,8$ В, в результате чего $VT3$ оказался бы открыт. При наличии диода $VD1$ часть напряжения $u_{\text{к2}} - u_{\text{вых}}$ выделяется на нем, так что напряжение $u_{\text{бэ3}}$ становится меньше 0,6 В и $VT3$ оказывается практически закрытым. Резистор $R_{\text{кз}}$ ограничивает начальный ток зарядки емкости нагрузки $C_{\text{н}}$, который проходит через транзистор $VT3$ при $u_{\text{вых}} = U^1$ и может оказаться значительным.

Обратимся к цепи диода $VD2$, показанной на рис. 2.4, *a* пунктиром. Он обеспечивает «третье состояние» выхода микросхемы. Если потенциал катода $VD2$ соответствует уровню лог. 1 ($u = U^1$), то диод закрыт и схема работает так, как это описано ранее. При $u = U^0$ диод открывается, за счет чего закрывается транзистор $VT3$, так как $U_{бэ} \approx 0$. Кроме того, ток базы $VT1$ проходит в цепь эмиттера, имеющего низкий потенциал, благодаря чему закрывается транзистор $VT2$ и, как следствие, транзистор $VT4$. Таким образом, выход элемента оказывается отсоединенным от положительной клеммы источника питания и от земли, т. е. на нем не может появиться ни 1, ни 0 — вход последующего устройства не чувствует ни низкого, ни высокого логического потенциала и поэтому бездействует. Это равносильно отключению последующей части устройства от данного элемента, т. е. высокоомному (высокоимпедансному, третьему) состоянию его выхода. Если выходы используемых элементов обладают указанным свойством, то при работе на общую нагрузку они могут соединяться, но при условии, что элементы функционируют не одновременно. На рис. 2.4, *б* показан дополнительный атрибут обозначения элемента, выход которого может устанавливаться в высокоомное состояние по входу z .

К классу ТТЛ относятся, в частности, микросхемы серий 155, 133, 531, 1533.

2.3.2. Базовый КМОП-элемент ИЛИ-НЕ

Базовый КМОП-элемент ИЛИ-НЕ реализован на полевых транзисторах класса металл—диэлектрик — полупроводник с индуцированными каналами p - и n -типов (на комплементарных транзисторах). Как было сказано ранее, название элемента составлено из первых букв слов «комплементарный», «металл», «окисел», «полупроводник». Основу структуры такого элемента составляет ключ на КМОП-транзисторах. По существу КМОП-элемент представляет собой делитель напряжения E_n источника питания (рис. 2.5). Одно плечо делителя составляют транзисторы $VT1$, $VT2$, $VT3$ (коммутирующие, или управляющие), другое —

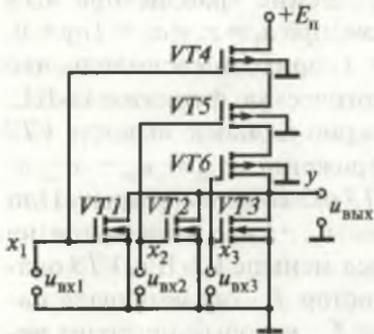


Рис. 2.5

транзисторы $VT4$, $VT5$, $VT6$ (нагрузочные). В силу разной проводимости каналов транзисторов логический сигнал на входе запирает один из управляющих транзисторов и отпирает нагрузочный транзистор, или наоборот. Когда на любой из входов (например, первый) подается высокий потенциал U^1 ($x_1 = 1$, $x_2 = x_3 = 0$), то $VT1$ открывается и сопротивление плеча, состоящего из управляющих транзисторов, уменьшается. Одновременно запирается транзистор $VT4$ и сопротивление плеча, состоящего из нагрузочных транзисторов, становится весьма значительным — большая часть напряжения E_n выделяется на нагрузочных транзисторах, и на выходе элемента — низкий потенциал U^0 ($y = 0$).

Только когда на всех входах присутствует низкий потенциал U^0 ($x_1 = x_2 = x_3 = 0$), управляющие транзисторы закрыты, а нагрузочные — открыты. Поэтому падение напряжения на нагрузочных транзисторах мало, а на управляющих — велико: на выходе высокий потенциал U^1 ($y = 1$). Таким образом, при $x_i = 1$ $y = 0$; при $x_1 = x_2 = x_3 = 0$ $y = 1$, т. е. элемент реализует функцию ИЛИ-НЕ.

Логические КМОП-элементы имеют значительные достоинства. В стационарных состояниях в цепи источника E_n находится запертый транзистор (один из нагрузочных или все управляющие), так что потребляемая элементом мощность незначительна; по-существу, потребление энергии происходит при переключении элемента, когда оба транзистора открыты и возрастает с увеличением частоты переключения. Входное сопротивление полевого транзистора весьма велико. Поэтому элементами на полевых транзисторах данный элемент мало нагружается. При исполнении по интегральной технологии полевой транзистор занимает на подложке меньшую площадь, чем биполярный.

Однако по сравнению с биполярным полевой транзистор является менее быстродействующим и имеет большее сопротивление в открытом состоянии, благодаря чему остаточное напряжение на нем сравнительно велико. В структурах, использующих комплементарные полевые транзисторы, эти недостатки ослабляются: первый за счет того, что нагружающая выход емкость оказывается всегда подключенной к цепи, содержащей открытый транзистор (управляющий или нагрузочный), через который она может быстро перезаряжаться, а второй ослабляется регулируемой нагрузкой: малое напряжение на выходе обусловлено большим сопротивлением запертого в это время нагрузочного транзистора.

К классу КМОП относятся, в частности, микросхемы серий 564, 561, 1561, 1554.

2.3.3. Базовый ЭСЛ-элемент ИЛИ/ИЛИ-НЕ

В базовом ЭСЛ-элементе ИЛИ/ИЛИ-НЕ обе логические операции (ИЛИ, НЕ) выполняются эмиттерно-связанными транзисторами, чем и обусловлено название типа логики. Элемент имеет два выхода, на одном из которых фиксируется результат операции ИЛИ, а на другом — операции ИЛИ-НЕ. Обозначают такой элемент ИЛИ/ИЛИ-НЕ.

Основу структуры рассматриваемого элемента составляет переключатель тока. Он собран на входных $VT1$, $VT2$, $VT3$ и опорном $VT_{оп}$ транзисторах, эмиттеры которых связаны (рис. 2.6). Потенциал базы $VT_{оп}$ относительно минусовой шины E_n имеет стабильное значение E_6 , а относительно земли — значение $U_{6,оп} = E_6 - E_n$, которое лежит между уровнями входных сигналов: $U^0 < U_{6,оп} < U^1$.

Когда хотя бы на одном входе действует напряжение U^1 лог. 1, один из входных транзисторов открыт — напряжение на эмиттерах превосходит значение E_6 и транзистор $VT_{оп}$ закрыт. Если напряжение на входах элемента меняется с U^1 на U^0 (так что $x_1 = x_2 = x_3 = 0$), то u_3 уменьшается и разность $E_6 - u_3$ оказывается достаточной для отпириания транзистора $VT_{оп}$. При этом его ток создает на резисторе R_3 напряжение u_3 , запирающее входные транзисторы $VT1$ — $VT3$.

Таким образом, ток эмиттерной цепи I_3 переключается то в коллекторную цепь входных транзисторов (если хотя бы на од-

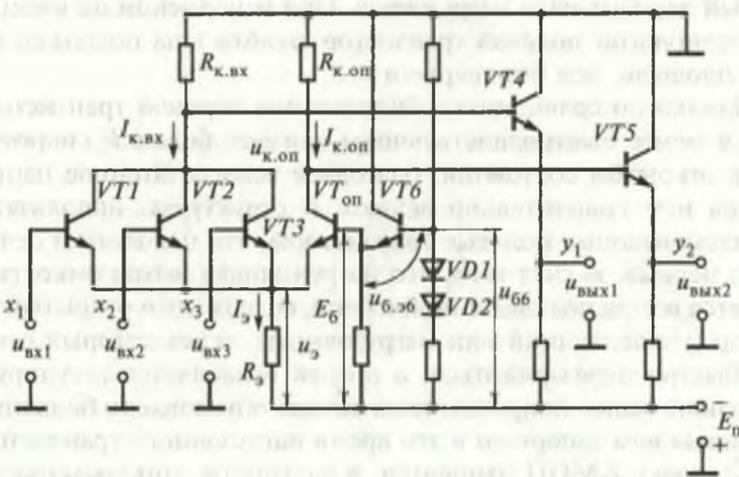


Рис. 2.6

ном входе лог. 1), то в коллекторную цепь опорного транзистора $VT_{оп}$ (когда $x_1 = x_2 = x_3 = 0$).

Наличие тока в коллекторной цепи приводит к падению напряжения на включенном в нее резисторе ($R_{к.вх}$ или $R_{к.оп}$) и к уменьшению потенциала коллектора относительно заземленной в данной схеме положительной шины источника питания. Поэтому, например, при $x_1 = 1$ ток $I_x \approx I_3$ и $u_{вых}$ имеет большое отрицательное значение — лог. 0 ($y_1 = 0$), а $u_{вых2}$ — меньшее отрицательное значение (лог. 1; $y_2 = 1$). При $x_1 = x_2 = x_3 = 0$ ток $I_{к.оп} \approx I_3$ и $u_{вых2} = U^0$ ($y_2 = 0$), а $u_{вых1} = U^1$ ($y_1 = 1$).

Следовательно, по выходу y_1 реализуется логическая функция ИЛИ-НЕ, а по выходу y_2 — логическая функция ИЛИ.

На транзисторах $VT4$ и $VT5$ выполнены эмиттерные повторители. За счет них повышается нагрузочная способность элемента, а также по сравнению с $u_{к.вх}$ и $u_{к.оп}$ уменьшается уровень выходных сигналов на значение напряжения $u_{бэ}$ на эмиттерно-базовых переходах $VT4$ и $VT5$. В отсутствие эмиттерных повторителей потенциалы с коллекторов данного элемента непосредственно воздействовали бы на базы входных транзисторов следующего элемента, что вызвало бы их насыщение.

Эмиттерный повторитель на транзисторе $VT6$ является источником стабильного опорного напряжения. При изменении температуры напряжения на диодах $VD1$ и $VD2$ изменяются примерно так же, как и $u_{бэ6}$. Поэтому $E_6 = u_{36} = u_{66} - u_{бэ6}$ сохраняется достаточно стабильным.

Обычно в схеме с n - p - n -транзисторами заземляется минусовая шина источника питания, имеющая в такой схеме самый низкий потенциал. При этом относительно нее потенциалы точек схемы не могут быть отрицательными. В рассмотренной схеме к земле присоединен плюсовой вывод источника E_n , имеющего в данной схеме самый высокий потенциал. Поэтому относительно нее потенциалы точек схемы не могут быть положительными. Будем считать, что в среднем $U^1 = -0,8$ В, $U^0 = -1,7$ В, $u_{б.оп} = 0,5(U^1 + U^0) = -1,25$ В, а напряжение на открытом эмиттерном переходе кремниевого транзистора $e_0 = 0,6$ В. Когда $u_{вх1} = u_{вх2} = u_{вх3} = u_{вх} = U^0$, то напряжение на эмиттерных переходах входных транзисторов $u_{бэ} = U^0 - (u_{б.оп} - e_0) = -1,7 - (-1,25 - 0,6) = 0,15$ В, при котором они закрыты. Если на одном из входов появляется лог. 1 (например, $u_{вх1} = U^1 = -0,8$ В), то на эмиттерном переходе $VT1$ образуется напряжение $u_{бэ} = U^1 - (u_{б.оп} - e_0) = -0,8 - (-1,25 - 0,6)$, при котором транзи-

стор V_{TI} откроется. После этого напряжение на эмиттерном переходе опорного транзистора $u_{6,э} = u_{6,он} - (u_{вх1} - e_0) = -1,25 - (-0,8 - 0,6) = 0,15$ В, при котором опорный транзистор заперт.

Заземление положительной шины источника приводит к тому, что при колебаниях величины $E_{п}$ обеспечивается большее постоянство уровней выходных логических потенциалов U^1 и U^0 . К классу ЭСЛ относятся, в частности, микросхемы серий 100, 1500, 500.

2.3.4. Программируемая логическая матрица

Программируемая логическая матрица (ПЛМ) (рис. 2.7, а) выпускается в микросхемном исполнении. Она содержит l конъюнкторов, входы каждого из которых соединены с линиями входных сигналов и их инверсий, и m дизъюнкторов, входы каждого

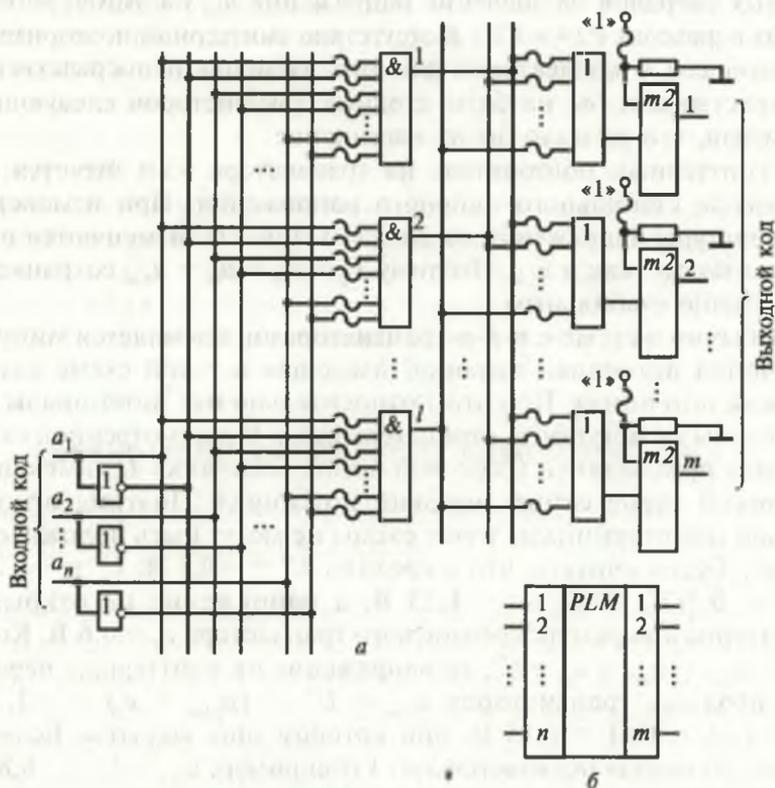


Рис. 2.7

из них соединены с выходами всех конъюнкторов. Выходы дизъюнкторов выведены наружу через элементы «Исключающее ИЛИ», позволяющие пропускать на выходы сигналы в прямой или инверсной форме (см. п. 1.5.4).

Пережигая соответствующие переключки (на рис. 2.7, а они показаны волнистыми линиями) и оставляя необходимые соединения — программируя матрицу, можно организовать конъюнкции любых комбинаций входных сигналов и дизъюнкцию любых наборов полученных конъюнкций.

Через переключку на вход «Исключающего ИЛИ» поступает потенциал лог. 1, что приводит к инверсии функции, сформированной на выходе дизъюнктора. При разрушении этой переключки на входе «Исключающего ИЛИ» будет лог. 0 и сформированная функция не инвертируется.

Будучи запрограммированной, ПЛМ устанавливает постоянное соответствие между выходным и входным кодами, т. е. ее можно использовать как преобразователь кодов или, что равносильно, как формирователь логических функций на выходах по их аргументам на входах. Она может формировать m выходных функций от n входных аргументов с числом членов в функции, равным l , при гибкой связи между этими числами. Программируемая логическая матрица допускает получение нескольких разных выходных функций при одном входном коде и получение одной и той же функции при разных входных кодах. Вместе с тем ПЛМ не дает возможности формировать функции с числом членов более l , т. е. более числа конъюнкторов. Условное обозначение ПЛМ показано на рис. 2.7, б.

2.4. Параметры логических элементов

Логические элементы характеризуются рядом параметров, по которым осуществляется их выбор для реализации конкретного устройства.

Коэффициент объединения по входу $K_{об}$ равен числу логических входов элемента, которые соединяются с выходами предыдущих (по схеме) элементов, т. е. данный элемент как бы объединяет предыдущие. Коэффициент $K_{об}$ показывает наибольшее число поступающих переменных для той функции, которую должен выполнить данный элемент. При недостаточном количестве входов вместо одного приходится использовать несколько элементов, соединяя их определенным образом (рис. 2.8). Следовательно, устройство мож-

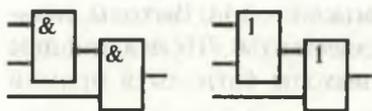


Рис. 2.8

но выполнить на меньшем количестве элементов, если они обладают большим коэффициентом $K_{об}$.

Коэффициент разветвления по выходу $K_{раз}$ численно равен количеству входов аналогичных элементов,

которыми можно нагрузить выход данного элемента. Этот коэффициент характеризует нагрузочную способность элемента и определяется структурой его выходного каскада. Чем больше коэффициент $K_{раз}$, тем меньшее количество элементов может потребоваться для выполнения устройства.

Быстродействие t_3 обычно оценивают полусуммой задержек перепадов на выходе элемента относительно входных перепадов, переключающих его из состояния 1 в состояние 0 и обратно. При этом каждая задержка измеряется между серединами перепадов. Быстродействие оценивается в единицах времени задержки (мкс, нс) или в единицах частоты (МГц), с которой возможно переключение элемента.

Помехоустойчивость оценивается наибольшим напряжением помехи $U_{пом}$, действующей на входе, которая не вызывает ложного переключения элемента из лог. 1 в лог. 0 или наоборот. Помехоустойчивость логического элемента можно оценить по передаточной характеристике — зависимости выходного напряжения от входного. На рис. 2.9, а показана идеализированная передаточная характеристика, в соответствии с которой переключение элемента из одного состояния в другое осуществляется, когда входное напряжение окажется равным пороговому ($u_{вх} = U_{пор}$). Пока $u_{вх} < U_{пор}$, на выходе элемента лог. 1 ($u_{вых} = U^1$); когда $u_{вх} > U_{пор}$, напряжение $u_{вых} = U^0$. Помехоустойчивость элемента соответствует разности входных напряжений $U^1 - U_{пор}$ (когда $u_{вых} = U^0$) и разности

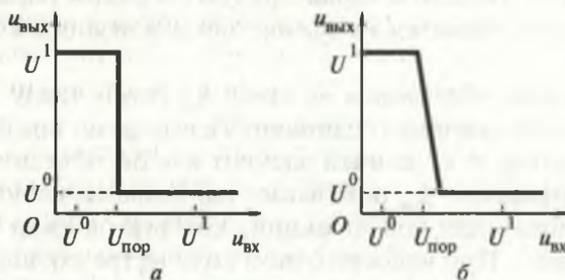


Рис. 2.9

$U_{\text{пор}} - U^0$ (когда $u_{\text{вых}} = U^1$). Так, если принять $U^1 = 3,3$ В, $U^0 = 0,2$ В и $U_{\text{пор}} = 1,5$ В, то помехоустойчивость составит $3,3 - 1,5 = 1,8$ В (при $u_{\text{вых}} = U^0$) и $1,5 - 0,2 = 1,3$ В (при $u_{\text{вых}} = U^1$).

Передаточная характеристика, более близкая к реальной, изображена на рис. 2.9, б. Наклонный участок характеристики соответствует активному (усилительному) режиму элемента: незначительные изменения $u_{\text{вх}}$ вызывают во много раз большие изменения $u_{\text{вых}}$.

Кроме приведенных параметров, логический элемент характеризуется, в частности, уровнями лог. 1 и 0 (U^1 и U^0), потребляемой мощностью и напряжением питания.

Сравнительная оценка базовых логических элементов. Интегральные микросхемы семейства транзисторно-транзисторной логики ТТЛ характеризуются сравнительно высоким быстродействием при относительно большой потребляемой мощности, высокой помехоустойчивостью и большой нагрузочной способностью. Промышленность выпускает несколько разновидностей ТТЛ интегральных микросхем (ИМС), в том числе ИМС с диодами Шоттки (ТТЛШ) повышенного быстродействия (но большей мощности потребления) и маломощные (но с меньшим быстродействием).

Микросхемы ЭСЛ-типа являются наиболее быстродействующими. Это обусловлено, в частности, тем, что транзисторы элемента работают в активном режиме, что исключает время выхода из насыщения; перезарядка нагружающих вывод емкостей происходит достаточно быстро через малое выходное сопротивление эмиттерных повторителей. Наряду с высоким быстродействием и большой нагрузочной способностью ЭСЛ-элемент отличается меньшей, чем ТТЛ-элемент, помехоустойчивостью (ввиду того, что для его переключения достаточен небольшой перепад входного напряжения), а также относительно большим потреблением энергии (за счет работы транзисторов в активном режиме и малых сопротивлений резисторов, дополнительно обеспечивающих быстродействие), что повышает требования к источникам питания и системе охлаждения.

Микросхемы КМОП-типа отличаются исключительно малым потреблением энергии, за счет чего температура кристалла не превышает допустимой при весьма большом количестве компонентов на нем. Это позволяет изготавливать большие интегральные схемы (БИС) КМОП-типа с наивысшей в настоящее время степенью интеграции. Малая потребляемая мощность позволяет

использовать аппаратуру на КМОП ИМС при ограниченных возможностях источников питания. Вместе с этим КМОП ИМС отличают высокая помехозащищенность, а большое входное сопротивление КМОП-элемента, нагружающего данный, обеспечивает его высокую нагрузочную способность (большой коэффициент разветвления по выходу). Наряду с этим КМОП-элемент имеет ограниченный коэффициент объединения по входу. Это связано с тем, что число входов равно числу нагрузочных транзисторов; за счет значительного падения напряжения на большом количестве открытых нагрузочных транзисторов напряжение U^1 лог. 1 на выходе может существенно снизиться. По быстродействию микросхемы КМДП-типа принципиально уступают микросхемам ЭСЛ- и ТТЛ-типов.

В табл. 2.1 сведены усредненные параметры элементов рассмотренных типов. Конкретные параметры микросхем разных серий приведены в справочниках.

Таблица 2.1

Параметр	Тип логики			
	ТТЛ	ТТЛШ	ЭСЛ	КМОП
Напряжение E_n , В	5	5	-5,2	3...15
Напряжение лог. 1 U^1 , В	2,4	2,7	-0,9	$\approx E_n$
Напряжение лог. 0 U^0 , В	0,4	0,5	-1,6	≈ 0
Быстродействие t_3 , нс	20	5	2,9	50
Помехоустойчивость $U_{пом}$, В	Не менее 0,4	Не менее 0,5	0,2	Не менее $0,3 E_n$
Потребляемая мощность, $P_{пот}$, мВт	22	19	35	0,1
Коэффициент разветвления по выходу, $K_{вых}$	10	10	15	50
Коэффициент объединения по входу, $K_{вх}$	8	4	9	2...5

Заметим, что в ряде случаев цифровое устройство приходится выполнять на микросхемах разных типов (например, ТТЛ и ЭСЛ). При этом для согласования уровней лог. 1, а также лог. 0 применяют преобразователи уровней.

ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ

1. Какие параметры и как изменятся у базового элемента ЭСЛ при исключении из схемы эмиттерных повторителей?
2. Как изменится сфера применения элемента ТТЛ, если его выход не будет принимать «третье» состояние?
3. При каком логическом потенциале на выходе (0 или 1) выходное сопротивление базового элемента ТТЛ будет меньше?

ЗАДАЧИ

1. На двухвходовых элементах И составьте схему, реализующую функцию $y = x_1 x_2 x_3 x_4$.
2. На двухвходовых элементах ИЛИ составьте схему, реализующую функцию $y = x_1 + x_2 + x_3 + x_4$.

ЛИТЕРАТУРА

1. *Зельдин Е.А.* Цифровые интегральные микросхемы в информационно-измерительной аппаратуре — Л.: Энергоатомиздат, 1986. С. 23—96.
2. *Калабеков Б.А.* Цифровые устройства и микропроцессорные системы. — М.: Телеком, 2000. С. 151—155.
3. *Потемкин И.С.* Функциональные узлы цифровой автоматики. — М.: Энергоатомиздат, 1988. С. 45—77, 109—115.
4. *Фролкин В.Т., Попов Л.Н.* Импульсные и цифровые устройства. — М.: Радио и связь, 1992. С. 120—162.

ГЛАВА 3

ДЕШИФРАТОРЫ И ШИФРАТОРЫ

3.1. Общие сведения

Дешифраторы и шифраторы (также, как и элементы И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ) являются комбинационными элементами: потенциалы на их выходах зависят от сиюминутного состояния входов, с их изменением меняется и ситуация на выходах; такие элементы не сохраняют предыдущее состояние после смены потенциалов на входах, т. е. не обладают памятью.

Преимущественно дешифраторы используют для выбора того или иного компонента из их множества. Различают дешифраторы полные и неполные. Полные дешифраторы реагируют на все входные коды, неполные — на коды, величина которых не превосходит некоторого заранее установленного значения. Выходы дешифраторов бывают прямые и инверсные.

На выходах шифратора устанавливается код, соответствующий номеру возбужденного входа. Промышленность производит приоритетные и неприоритетные шифраторы. В приоритетных шифраторах входы имеют разный приоритет. Возбужденный вход с большим приоритетом подавляет действие прежде возбужденного и устанавливает на выходах код, соответствующий своему значению.

Классификация дешифраторов и шифраторов, рассмотренных в данной главе, приведена на рис. 1.3.



Рис. 3.1

3.2. Дешифраторы

3.2.1. Структура дешифратора

Каждому цифровому коду на входах дешифратора (рис. 3.2, а, б) соответствует лог. 1 (или лог. 0) на соответствующем выходе. Иными словами, каждый входной код адресует соответствующий выход, который при этом возбуждается. Поэтому входы дешифратора часто называют адресными. Стоящие возле входов цифры (1, 2, 4 ...) показывают как соотносятся «веса» разрядов поступающего двоичного числа. Выходы дешифратора оцифрованы десятичными числами. Возбуждается тот выход, номер которого равен «весу» входного кода, разряды которого имеют обозначенные «веса», т. е. дешифратор расшифровывает (дешифрирует) число, записанное в двоичном коде, представляя его лог. 1 (лог. 0) на соответствующем выходе. Так, выход 5 возбуждается при входном коде 101, выход 6 — при входном коде 110 и т. д. Удобно представлять, что выход дешифратора отображает возбуждавший его входной код.

Вход V является входом разрешения работы. Если он инверсный (обозначен кружком как на рис. 3.2), то для функционирования дешифратора на нем должен быть лог. 0 (достаточно этот вход соединить с общим проводом — землей). Прямой вход V через резистор соединяется с источником питания. Наличие входа разрешения расширяет функциональные возможности микросхемы.

Дешифратор выбирают так, чтобы число его входов соответствовало разрядности поступающих двоичных кодов. Число его выходов равно количеству различных кодов этой разрядности. Так как каждый разряд двоичного кода принимает два значения, то полное количество n -разрядных комбинаций (n -разрядных двоичных кодов) равно 2^n . Такое число выходов имеет полный дешифратор.

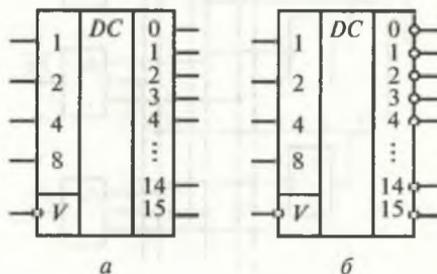


Рис. 3.2

Неполный дешифратор выбирают, когда некоторые значения адресных кодов не отражают физической реальности. Так, например, дешифратор, предназначенный для фиксации двоичных кодов десятичного разряда (в нем могут быть цифры 0, 1, 2 ... 9), должен иметь четыре входа (9_{10} отображается как 1001_2). Однако комбинации, большие 1001_2 отображают не цифру, а число, и поэтому (хотя и могут появляться на входах) не должны фиксироваться на выходах, число которых может не превышать десяти.

Основу структуры дешифратора могут составлять элементы И; выход каждого из них является выходом дешифратора. Если этот выход должен быть возбужден, то на входах элемента И должны собираться лог. 1. При этом разряды входного кода, в которых присутствуют единицы, должны поступать на входы элемента И непосредственно, а нулевые разряды должны инвертироваться.

Приведенный принцип положен в основу построения схемы, изображенной на рис. 3.3. Лог. 1 на выходе y_0 должна появляться, когда на входах x_3, x_2, x_1 присутствует двоичный код 000 десятичного числа 0. Поэтому входы верхнего (по схеме) конъюнктора должны быть соединены с линиями $\bar{x}_3, \bar{x}_2, \bar{x}_1$, на каждой из которых присутствует лог. 1, когда на входах $x_3 = x_2 = x_1 = 0$. Лог. 1, к примеру, на выходе y_2 должна появиться, когда на входах x_3, x_2, x_1 устанавливается код 010 десятичного числа 2, поэтому входы

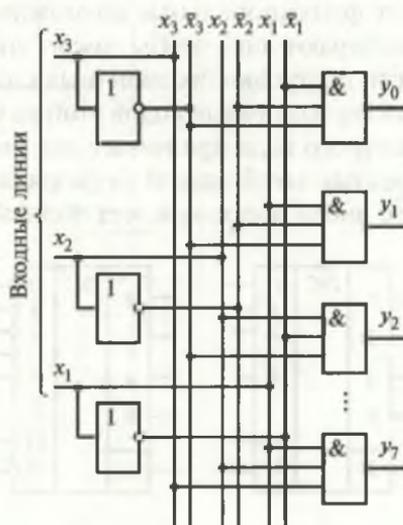


Рис. 3.3

соответствующего конъюнктора должны быть соединены с линиями $\bar{x}_3, x_2, \bar{x}_1$, на каждой из которых имеется лог. 1, когда $x_3 = 0, x_2 = 1, x_1 = 0$. Аналогично соединяются с линиями входы других конъюнкторов.

Некоторые типы дешифраторов (см. рис. 3.2, б) имеют инверсные выходы — на возбужденном (активизированном) выходе присутствует лог. 0, в то время как на всех других — лог. 1. Такие дешифраторы удобно использовать, когда активным сигналом для выбора (ввода в действие, инициализации) устройства с выхода дешифратора является лог. 0.

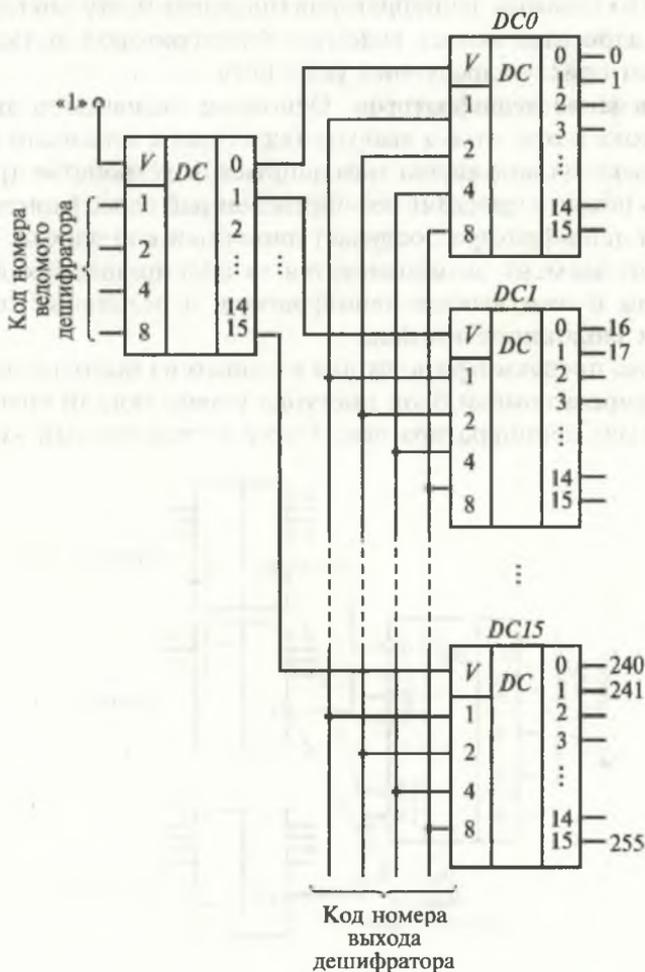


Рис. 3.4

Расширение разрядности дешифратора. Расширение разрядности дешифраторов иллюстрирует рис. 3.4. Левый (по схеме) дешифратор постоянно активизирован (выбран) лог. 1 на входе V . Кодами на его адресных входах может быть активизирован любой из дешифраторов $DC0—DC15$. Выбор одного из выходов 0—15 каждого из них определяется кодом на объединенных входах 1, 2, 4, 8. Таким образом, любой из 256 (2^8) выходов может быть активизирован 8-разрядным кодом, четыре разряда которого выбирают номер дешифратора, а четыре — номер его выхода.

От числа адресных входов ведущего дешифратора зависит количество ведомых дешифраторов (определите эту зависимость!), а число адресных входов ведомых дешифраторов должно соответствовать числу адресуемых устройств.

Применение дешифраторов. Основное назначение дешифратора состоит в том, чтобы выбрать (адресовать, инициализировать) один объект из множества находящихся в устройстве (рис. 3.5). Каждому объекту присваивают определенный адрес (номер). Когда на входы дешифратора поступает двоичный код адреса, соответствующий элемент активизируется за счет появления лог. 0 на связанном с ним выходе дешифратора, а остальные элементы остаются заблокированными.

Можно предусмотреть, чтобы с одного из выходов дешифратора на определенный блок поступал управляющий сигнал, когда на входах дешифратора появляется определенный код, соот-

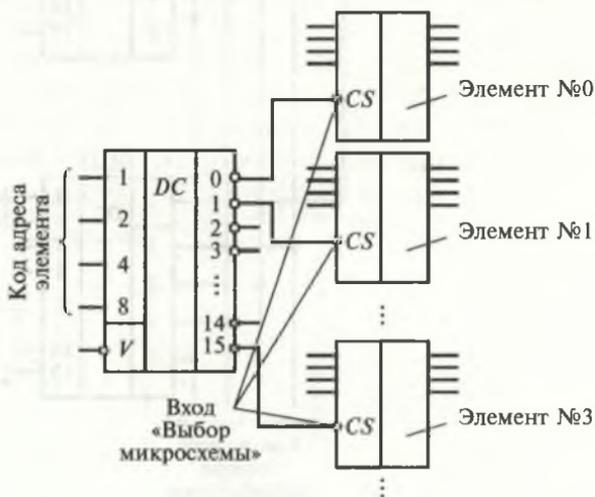


Рис. 3.5

ветствующий, например, превышению какого-либо параметра (температуры, напряжения и т. д.), который должен быть приведен к нормальному уровню указанным блоком.

Когда число адресуемых устройств невелико, многие выходы дешифратора остаются незадействованными. При этом может оказаться целесообразным (в частности, по экономическим соображениям) использовать не микросхему дешифратора, а реализовать ее фрагмент логическими элементами. На рис. 3.6 представлена схема, составленная таким образом, чтобы устройство *DD1* реагировало на код 101, а устройство *DD2* — на код 010.

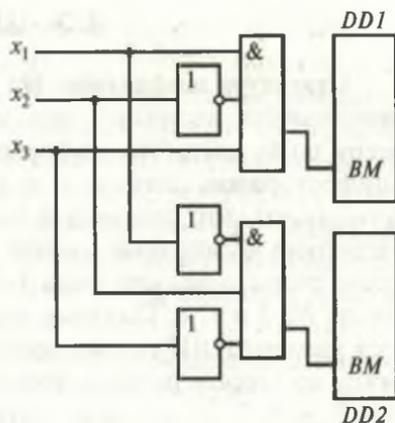


Рис. 3.6

Аналогичный прием можно использовать, если адрес устройства имеет большее число разрядов, чем число входов дешифратора. Рис. 3.7 иллюстрирует случай, когда устройство *DD1* адресуется кодом 1011, при этом три старших разряда кода заводятся на дешифратор, активизируя выход № 5, а младший разряд кода объединяется с ним конъюнкцией.

На дешифраторе можно реализовать логические функции. Пусть, к примеру, $y = \bar{x}_3x_2\bar{x}_1 + \bar{x}_3x_2x_1 + x_3\bar{x}_2x_1$. Логические переменные подаются на адресные входы дешифратора (рис. 3.8). Первая конъюнкция (ее «вес» равен 2) возбуждает выход № 2, вторая — выход № 3, третья — выход № 5. Так как условие $y = 1$ должно иметь место при наличии любой из этих конъюнкций, то выходы №№ 2, 3 и 5 надо объединить дизъюнкцией.

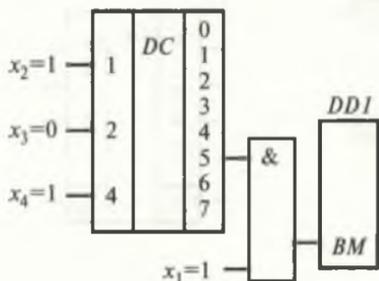


Рис. 3.7

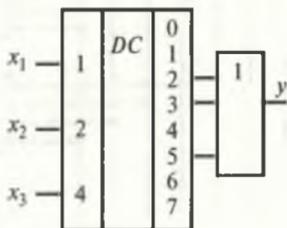


Рис. 3.8

3.3. Шифраторы

Структура шифратора. На выходах шифратора (кодера) устанавливается двоичный код, соответствующий десятичному номеру возбужденного информационного входа. При построении шифратора для получения на выходе натурального двоичного кода учитывают, что единицу в младшем разряде такого кода имеют нечетные десятичные цифры 1, 3, 5, 7, ... , т. е. на выходе младшего разряда должна быть 1, если она есть на входе № 1 или на входе № 3 и т. д. Поэтому входы под указанными номерами через элемент ИЛИ соединяются с выходом младшего разряда. Единицу во втором разряде двоичного кода имеют десятичные цифры 2, 3, 6, 7, . . . ; входы с этими номерами через элемент ИЛИ должны подключаться к выходу шифратора, на котором устанавливается второй разряд кода. Аналогично, входы 4, 5, 6, 7, ... через элемент ИЛИ должны быть соединены с выходом, на котором устанавливается третий разряд, так как их коды имеют в этом разряде единицу, и т. д.

Схема шифратора, построенная в соответствии с изложенным принципом, приведена на рис. 3.9, *а*, а условное изображение — на рис. 3.9, *б*, где E — вход разрешения работы, а E_0 — выход, лог. 0 на котором свидетельствует о том, что ни один информационный вход не возбужден. Для расширения разрядности (каскадирования) шифраторов вход E последующего шифратора соединяют с выходом E_0 предыдущего. Если информа-

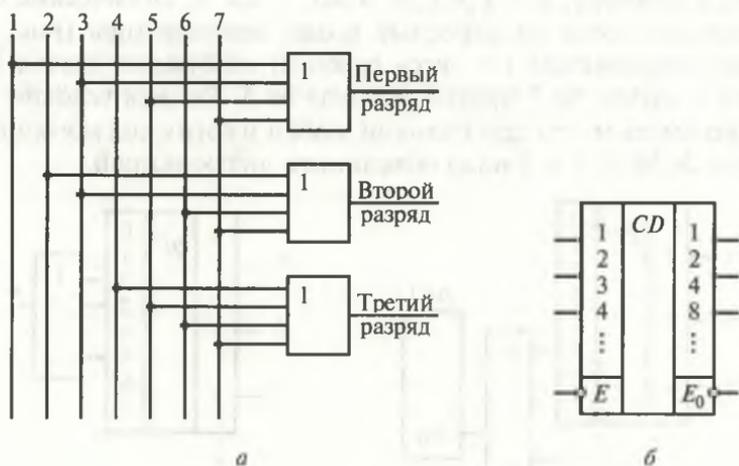


Рис. 3.9

ционные входы предыдущего шифратора не возбуждены ($E_0 = 0$), то последующий шифратор получает разрешение работать.

Применение шифраторов. Шифратор может быть спроектирован не только для представления (кодирования) десятичного числа двоичным кодом, но и для выдачи определенного кода (его значение заранее выбирается), например, при нажатии клавиши с соответствующим символом. При появлении этого кода система оповещается о том, что нажата определенная клавиша клавиатуры.

Шифраторы применяют в устройствах, преобразующих один вид кода в другой. При этом вначале дешифрируется комбинация исходного кода, в результате чего на соответствующем выходе дешифратора появляется лог. 1. Это отображение входного кода, значение которого определено номером возбужденного выхода дешифратора, подается на шифратор, организованный с таким расчетом, чтобы каждый код на входе дешифратора вызывал появление заданного кода на выходе шифратора.

ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ

1. Определите число, равное минимальной разрядности, какую должен иметь дешифратор для адресации 11-ти устройств.
2. Укажите буквенное обозначение выходных элементов дешифратора, имеющего инверсные выходы.
3. Определите значение коэффициента объединения по входу $K_{об}$, которое должны иметь выходные элементы дешифратора, снабженного входом «Разрешение работы» и имеющего 8 выходов.
4. Определите число входов, которое должен иметь неполный дешифратор, имеющий 10 выходов.
5. Определите код, который следует установить на входах дешифратора, чтобы возбудить выход № 11.
6. Определите число, равное общему количеству входов каждого выходного элемента дешифратора, имеющего 16 выходов и вход «Разрешения работы».
7. Определите номер возбужденного входа стандартного шифратора, если на выходах установился код 0110.

ЗАДАЧИ

1. Составьте схему фрагмента 4-входового дешифратора, на выходе которого должен устанавливаться лог. 0 при входном коде 1011.
2. Составьте схему фрагмента шифратора, на выходах которого должен устанавливаться 4-элементный код 1001 при возбуждении заданного входа.
3. На базе дешифратора реализуйте логическую функцию

$$y = \bar{x}_3 x_2 x_1 + \bar{x}_3 \bar{x}_2 x_1 + x_3 \bar{x}_2 x_1 + \bar{x}_3 \bar{x}_2 \bar{x}_1.$$

4. Определите число, соответствующее минимальному количеству входов, которое должен иметь ведущий дешифратор в схеме расширения разрядности, чтобы при 3-разрядных ведомых дешифраторах получить 32 выхода. Составьте схему такого устройства.

5. Составьте схему, в которой выход № 5 3-входового дешифратора не возбуждается входным кодом.

6. Составьте схему расширения разрядности и определите адреса на входах ведущего и ведомых 3-входовых дешифраторов для возбуждения 12-го по порядку выхода устройства со 2-го по порядку выхода ведущего дешифратора.

УКАЗАНИЯ К ВОПРОСАМ И ЗАДАЧАМ

К вопросу 1. Вспомните соотношение между числом входов и числом выходов полного дешифратора.

К вопросу 3.

1) коэффициент $K_{\text{с}}$ численно равен числу логических входов элемента;

2) подумайте, сколько логических входов должен иметь рассматриваемый дешифратор и со скольких логических входов должен получать информацию каждый выходной элемент дешифратора.

К вопросу 4. Используйте соотношение между числом входов и выходов полного дешифратора.

К вопросу 6. Учтите нелогические входы и вход «Разрешение работы».

К задаче 3.

1) каждая конъюнкция заданной функции должна возбуждать соответствующий выход дешифратора;

2) заданная функция является логической суммой конъюнкций.

К задаче 4.

1) определите требуемое число ведомых дешифраторов;

2) вспомните, в каком соотношении находятся числа входов и выходов дешифратора.

К задаче 5.

1) определите входной код, возбуждающий выход 5;

2) воспользуйтесь входом «Разрешение работы».

ЛИТЕРАТУРА

1. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. — Л.: Энергоатомиздат, 1986. С. 111—122.

2. Калабеков Б.А. Цифровые устройства и микропроцессорные системы. — М.: Телеком, 2000. С. 110—122.

3. Потемкин И.С. Функциональные узлы цифровой автоматики. — М.: Энергоатомиздат, 1988. С. 87—96, 102—107.

4. Фролкин В.Т., Попов Л.Н. Импульсные и цифровые устройства. — М.: Радио и связь, 1992. С. 162—169.

ГЛАВА 4 КОММУТАТОРЫ

4.1. Общие сведения

Существует два вида коммутаторов: мультиплексоры и демультиплексоры (рис. 4.1).

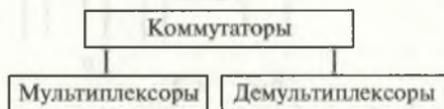


Рис. 4.1

Мультиплексор — коммутатор с одного из нескольких информационных входов на единственный выход. Выбор того или иного входа определяется кодом, устанавливаемым на адресных входах мультиплексора. Это позволяет при смене кодов передавать на выход цифровую информацию то с одного, то с другого входного канала.

Демультиплексор — коммутатор единственного информационного входа на один из нескольких выходов. Выбор того или иного выхода определяется кодом на адресных входах демультиплексора. Таким образом, демультиплексор решает задачу, обратную мультиплексору: при смене кодов он может передавать цифровую информацию то в один, то в другой канал с одного входа.

4.2. Мультиплексоры

Структура мультиплексора. Мультиплексор коммутирует на выход u один из входов D_0, D_1, D_2, \dots , который выбирается (адресуется) двоичным кодом на адресных входах A_0, A_1, A_2 (рис. 4.2, а).

На рис. 4.2, б приведена функциональная схема мультиплексора, который имеет восемь информационных ($D_0—D_7$) и три адресных ($A_1—A_3$) входы. На адресные входы поступает 3-разрядный цифровой код, полное число комбинаций которого равно

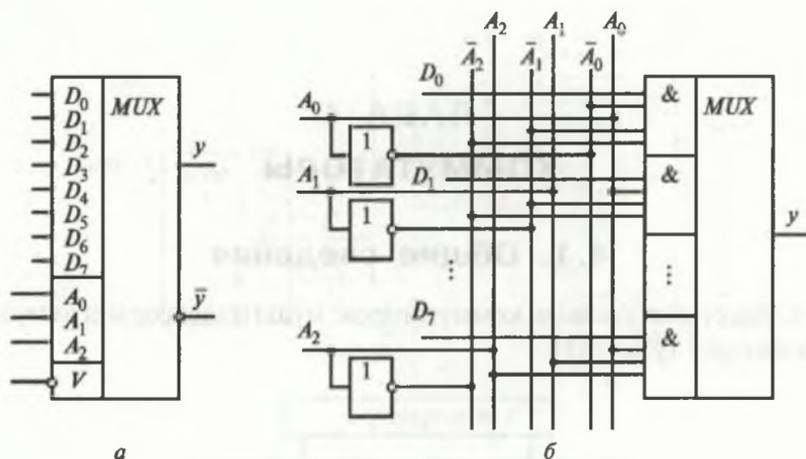


Рис. 4.2

восьми. Естественно положить, что код 111 должен обеспечить соединение выхода y со входом D_7 ($111_2 = 7$), код 110 — со входом D_6 и т. д., код 000 — со входом D_0 .

Как и в дешифраторе, для разблокирования конъюнктора его входы надо соединить непосредственно с теми адресными входами, на которых при данном коде присутствуют единицы, и через инверторы — с теми входами, на которых находятся нули. Так, например, на второй сверху (см. рис. 4.2, б) конъюнктор непосредственно поступает сигнал с входа A_0 и через инверторы — с входов A_2 и A_1 , что при коде адреса 001 обеспечит на этом конъюнкторе три лог. 1, т. е. подключение к выходу мультиплексора входа D_1 . Входы нижнего конъюнктора соединены с адресными входами непосредственно, что при коде адреса 111 обеспечит подключение к выходу мультиплексора информационного входа D_7 (рис. 4.2, б). При наличии на входе V лог. 1 мультиплексор блокируется: на прямом выходе устанавливается лог. 0 вне зависимости от потенциалов на информационных входах.

Расширение разрядности мультиплексора. Расширение разрядности мультиплексоров иллюстрирует рис. 4.3. Здесь «мультиплексорное дерево» содержит четыре 4-входовых мультиплексора $MUX1$ — $MUX4$ с соответственно запараллеленными адресными входами A_0, A_1 , код на которых одновременно выбирает один из входов D_0 — D_3 всех четырех элементов; кодом на адресных входах A_2, A_3 выходного мультиплексора выбирается один из выходов Y_0 — Y_3 . Таким образом, 4-разрядный код на входах A_0 — A_3 соединяет с выходом Y только один из 16-ти входов ($16 = 2^4$) D_0 — D_{15} .

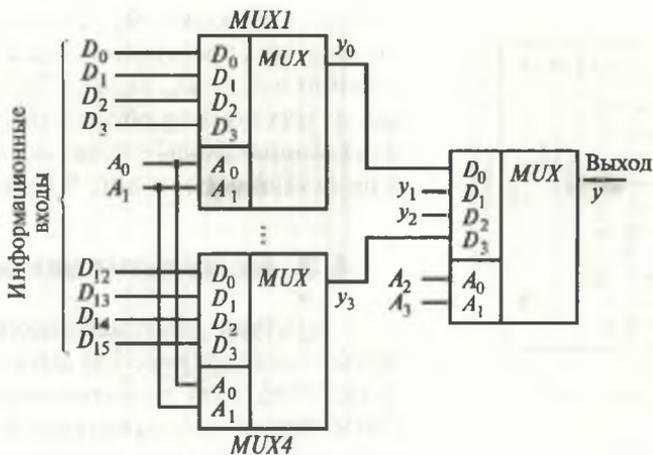


Рис. 4.3

Применение мультиплексоров. Совокупность мультиплексоров с соответственно объединенными адресными входами можно использовать для последовательной передачи на их выходы нескольких многоразрядных кодов. Такую возможность обеспечит схема, представленная на рис. 4.3, если из нее исключить оконечный мультиплексор. При этом разряды первого кода заводят на входы D_0 всех мультиплексоров, разряды второго кода — на входы D_1 и т. д. При изменении адреса на входах A_0, A_1 на выходы мультиплексоров будут передаваться разряды то первого, то второго, то третьего кода. Такое временное мультиплексирование используют при необходимости передавать на одни и те же входы последующего устройства то один, то другой код. В последующих главах это будет показано на примерах организации динамической памяти.

Кроме коммутации с одного из n входов на один выход, мультиплексор можно использовать для преобразования параллельного кода, разряды которого заводятся на входы D_0, D_1, \dots , в последовательный код на выходе Y . Для этого код на адресных входах должен циклически изменяться, принимая все последовательные значения. Такое изменение можно обеспечить, присоединив к адресным входам выходы счетчика, последовательно изменяющего свое состояние под действием импульсов генератора.

На мультиплексоре можно реализовать логические функции. Пусть, например, задана функция $y = \bar{x}_3 x_2 x_1 + x_3 \bar{x}_2 x_1 + x_3 x_2 \bar{x}_1$. Логические переменные x_3, x_2, x_1 подают на адресные входы A_0, A_1, A_2 . Когда набор x_3, x_2, x_1 будет составлять каждую из приве-

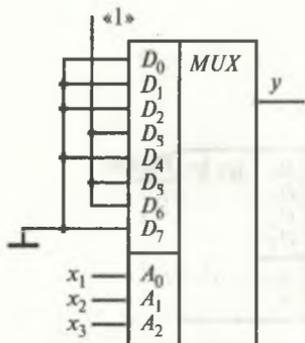


Рис. 4.4



Рис. 4.5

денных конъюнкций, на выход y будут поочередно коммутироваться соответственно входы D_3, D_5, D_6 . Так как каждая из них должна обеспечить $y = 1$, то на указанные входы следует подать лог. 1, а на оставшиеся — лог. 0 (рис. 4.4).

4.3. Демультиплексоры

Структура демультиплексора. Демультиплексор (рис. 4.5) выполняет задачу, обратную мультиплексору: он коммутирует единственный информационный вход D на один из выходов, который адресуется двоичным кодом на адресных входах A_0, A_1, \dots

Нетрудно заметить, что в качестве демультиплексора можно использовать дешифратор с входом разрешения V , который в данном случае выполняет роль информационного входа D . Когда на него поступает разрешающий логический потенциал (например, $V = 1$), он появляется на том выходе, который

выбирается кодом на адресных входах. Когда же $V = 0$, дешифратор блокируется, и на всех его выходах, в том числе и на адресуемом выходе, лог. 0. Так на адресуемом выходе повторяется входной логический потенциал.

Дешифратор, имеющий вход разрешения, называют «дешифратор-демультиплексор».

Расширение разрядности демультиплексора. На рис. 4.6 показан общий случай наращивания разрядности демультиплексоров. В отличие от схемы, реализующей наращивание разрядности дешифраторов (см. рис. 3.4), в схеме, представленной на рис. 4.6, на информационный вход D поступают лог. 1 и лог. 0, в то время как на соответствующий вход разрешения V ведущего дешифратора (см. рис. 3.4) постоянно подается потенциал лог. 1. Кодом на адресных входах A_0, A_1 выбирается один из выходов DMX_1 , с которым соединяется его информационный вход, а кодом на A_2, A_3 одновременно выбираются четыре одноименных выхода всех четырех демультиплексоров $DMX_2 - DMX_3$. В резуль-

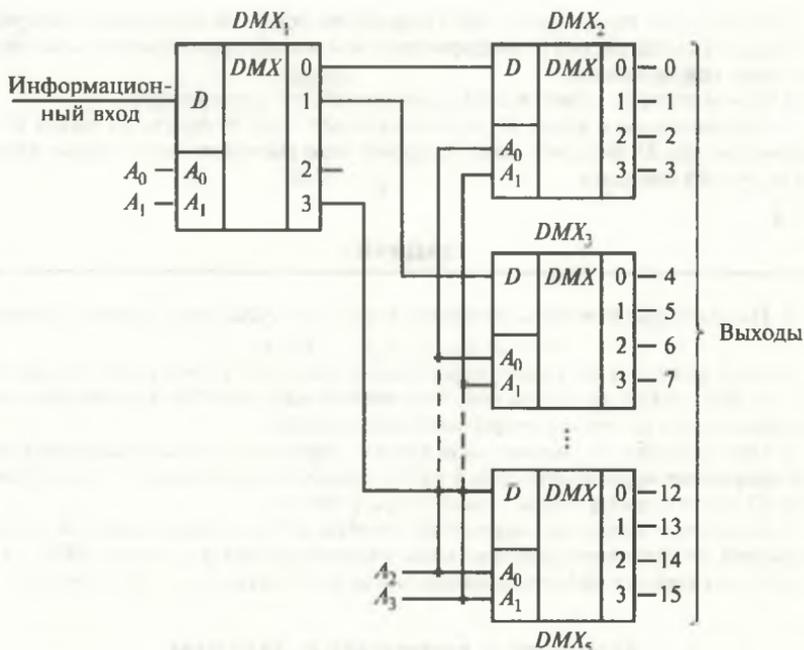


Рис. 4.6

тате кодом $A_0—A_3$ выбирается один из 16-ти выходов, который оказывается соединенным с информационным входом D .

Применение демультиплекторов. Кроме прямого назначения, демультиплексор в совокупности с мультиплексором позволяет скоммутировать любой вход мультиплексора с любым выходом демультиплексора. Для этого выход мультиплексора надо соединить с информационным входом демультиплексора.

Мультиплексор семейства КМОП можно использовать и как демультиплексор, т. е. для передачи информации с выхода у на тот вход D , который сейчас адресуется кодом на адресных входах A_0, A_1, \dots . Кроме того, мультиплексоры этого семейства могут передавать и аналоговую информацию.

ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ

1. Определите число адресных входов, которое должен иметь мультиплексор, если количество информационных входов равно восьми.

2. Определите последовательность кодов на адресных входах мультиплексора, чтобы 4-разрядный код на информационных входах преобразовать в последовательный код на выходе.

3. В чем состоит отличие демultipлексора от дешифратора?

4. Информацию с входа D_{10} мультиплексора надо передать на выход 6 демultipлексора. Определите коды, которые надо выставить на адресных входах того и другого элемента.

ЗАДАЧИ

1. На базе мультиплексора составьте схему устройства, реализующего функцию

$$y = x_2 x_1 \bar{x}_0 + x_1 \bar{x}_2 x_0 + \bar{x}_1 x_2 x_0.$$

2. Определите число, равное наибольшему количеству информационных входов, которое можно получить при расширении разрядности мультиплексоров, имеющих только по четыре информационных входа.

3. Последовательно, начиная с ведомого, определите коды на адресных входах 8-разрядных мультиплексоров в схеме расширения разрядности для коммутации 12-го по порядку входа с выходом устройства.

4. Начиная с младшего, определите номера возбужденных выходов демultipлексора, если четвертый разряд кода, изменяющегося в пределах 0000—1111, поступает на прямой информационный вход, а три младших — на адресные.

УКАЗАНИЯ К ВОПРОСАМ И ЗАДАЧАМ

К вопросу 1. Вспомните, сколько разрядов должно иметь двоичное число, чтобы создать 8 комбинаций.

К вопросу 2. Вспомните, как соотносится адресный код с номером коммутируемого на выход информационного входа.

К задаче 1. Определите, на какие информационные входы надо подать лог. 1 и лог. 0, чтобы выполнялось условие $Q = 1$, если указанные конъюнкции подавать на адресные входы мультиплексора.

К задаче 2. Определите наибольшее возможное число ведущих мультиплексоров.

К задаче 3. Определите индекс в обозначении информационного входа второго мультиплексора, имеющего порядковый номер 12.

ЛИТЕРАТУРА

1. *Зельдин Е.А.* Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. — Л.: Энергоатомиздат, 1986. С. 96—109.

2. *Калабеков Б.А.* Цифровые устройства и микропроцессорные системы. — М.: Телеком, 2000. С. 123—125.

3. *Потемкин И.С.* Функциональные узлы цифровой автоматики. — М.: Энергоатомиздат, 1988. С. 96—102.

4. *Фролкин В.Т., Попов Л.Н.* Импульсные и цифровые устройства. — М.: Радио и связь, 1992. С. 169—171.

ГЛАВА 5

ЦИФРОВЫЕ КОМПАРАТОРЫ

5.1. Общие сведения

Цифровой компаратор предназначен для сравнения двух двоичных чисел (компарировать — сравнивать). Он имеет две группы входов. На одну из них поступают разряды первого числа A , на другую группу — разряды второго числа B . Появление лог. 1 на одном из трех выходов компаратора фиксирует результат сравнения. На одном выходе она устанавливается при равенстве чисел ($A = B$), на другом — при $A > B$, на третьем — при $A < B$.

Сравнение одноразрядных чисел на равенство может осуществлять элемент «Равнозначность», а на неравенство — элемент «Неравнозначность» (см. п. 1.2). Для сравнения многоразрядных чисел они дополняются элементами других типов.

Цифровой компаратор можно использовать, например, в системах автоматического контроля и регулирования. При этом число A является параметром некоторого процесса, а число B — порогом (уставкой), которого (в соответствии с условиями задачи) этот параметр не должен превосходить или опускаться ниже его.

На рис. 5.1 приведена классификация цифровых компараторов, описанных в данной главе.

Наряду с цифровыми существуют и аналоговые компараторы, они изложены во второй части книги.

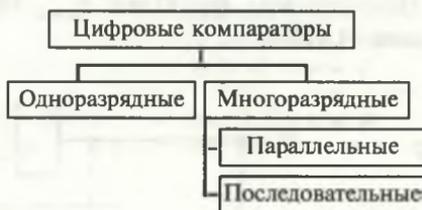


Рис. 5.1

5.2. Структура компаратора

В табл. 5.1 показана связь между сигналами на выходах и входах компаратора при сравнении одноразрядных чисел a и b , которые могут быть равны единице или нулю. На соответствующем выходе появляется лог. 1, когда в должном соотношении находятся коды на входах. Так, если $a = 1$, $b = 1$ (числа одинаковы), то фун-

Таблица 5.1

Входы		Выходы		
a	b	$F_{a>b}$	$F_{a=b}$	$F_{a<b}$
1	1	0	1	0
1	0	1	0	0
0	1	0	0	1
0	0	0	1	0

кция, характеризующая равенство чисел, $F_{a=b} = 1$, а функции, характеризующие их неравенство, $F_{a>b} = 0$ и $F_{a<b} = 0$. Аналогично заполняются другие строки таблицы. По правилам, изложенным в п. 1.5.4, из табл. 5.1 можно записать следующие логические функции, характеризующие соотношения одноразрядных чисел:

$$F_{a>b} = a\bar{b}; F_{a=b} = ab + \bar{a}\bar{b}; F_{a<b} = \bar{a}b. \quad (5.1)$$

Если значения a и b таковы, что правые части функций равны 1, то соотношения, указанные в индексах левых частей, выполняются. Если правые части функций равны 0, то соотношения между a и b противоположны указанным.

Схема одноразрядного компаратора, реализующая приведенные функции, изображена на рис. 5.2.

Остановимся подробнее на равенстве чисел. Заметим, что функция $F_{a=b}$ — функция «Равнозначность». По смыслу она противоположна функции $F_{a \neq b}$ «Неравнозначность» («Исключающее ИЛИ»):

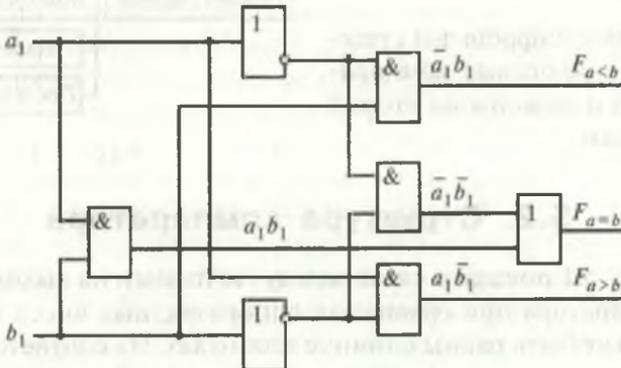


Рис. 5.2

$$F_{a \neq b} = a_1 \bar{b}_1 + \bar{a}_1 b_1 = a_1 \oplus b_1, \text{ т. е. } F_{a=b} = \overline{F_{a \neq b}} = \overline{a_1 \bar{b}_1 + \bar{a}_1 b_1} = a_1 \oplus b_1.$$

Поэтому проверку равенства одноименных разрядов двух чисел можно осуществить, используя элемент «Равнозначность» (рис. 5.3, а) или элемент «Неравнозначность», дополненный инвертором (рис. 5.3, б).

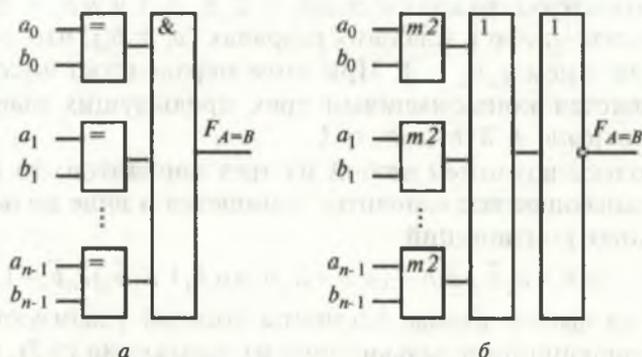


Рис. 5.3

Два многоразрядных числа A и B равны, если их одноименные разряды содержат одинаковые цифры ($a_0 = b_0$ И $a_1 = b_1$ И ... И $a_{n-1} = b_{n-1}$), т. е. функция, характеризующая соотношение чисел, должна быть конъюнкцией функций, характеризующих соотношение цифр в их одноименных разрядах:

$$F_{A=B} = F_{a_0=b_0} F_{a_1=b_1} \dots F_{a_{n-1}=b_{n-1}}.$$

Когда цифры в одноименных разрядах чисел A и B одинаковы, то на выходах всех элементов «Равнозначность» стоят лог. 1 и $F_{A=B} = 1$ (см. рис. 5.3, а). Если хотя бы в одной паре разрядов находятся разные цифры, то на выходе соответствующего элемента «Равнозначность» будет лог. 0, и функция $F_{A=B} = 0$, что указывает на неравенство чисел A и B .

Рассмотрим теперь неравенство чисел, используя выражение (5.1). Пусть $A > B$. Выявление такого неравенства начинается со старших разрядов; если они равны, то сравнивается следующая пара одноименных разрядов и т. д. Так, в случае 3-разрядных чисел могут быть следующие варианты:

1) неравенство цифр в старших разрядах ($a_2 > b_2$), что в соответствии с (5.1) представляется выражением $a_2 \bar{b}_2 = 1$. При этом неравенство чисел $A > B$ описывается тем же выражением;

2) равенство цифр в старших разрядах ($a_2 = b_2$), что представляется выражением ($a_2 b_2 + \bar{a}_2 \bar{b}_2 = 1$) и неравенство цифр в средних разрядах чисел ($a_1 > b_1$), что описывается выражением $a_1 \bar{b}_1 = 1$. При этом неравенство чисел $A > B$ представляется конъюнкцией двух приведенных выражений ($a_2 b_2 + \bar{a}_2 \bar{b}_2$) $a_1 \bar{b}_1$;

3) равенство цифр в старших и средних разрядах ($a_2 = b_2, a_1 = b_1$), что описывается выражениями $a_2 b_2 + \bar{a}_2 \bar{b}_2 = 1$ и $a_1 b_1 + \bar{a}_1 \bar{b}_1 = 1$, и неравенство цифр в младших разрядах ($a_0 > b_0$), что описывается выражением $a_0 \bar{b}_0 = 1$. При этом неравенство чисел $A > B$ представляется конъюнкциями трех предыдущих выражений ($a_2 b_2 + \bar{a}_2 \bar{b}_2$) ($a_1 b_1 + \bar{a}_1 \bar{b}_1$) $a_0 \bar{b}_0 = 1$.

Поскольку возможен любой из трех вариантов, то выражение, учитывающее все варианты, запишется в виде дизъюнкции приведенных конъюнкций

$$F_{A>B} = a_2 \bar{b}_2 + (a_2 b_2 + \bar{a}_2 \bar{b}_2) a_1 \bar{b}_1 + (a_2 b_2 + \bar{a}_2 \bar{b}_2) (a_1 b_1 + \bar{a}_1 \bar{b}_1) a_0 \bar{b}_0 = 1. \quad (5.2)$$

Если на выходе схемы, элементы которой реализуют приведенные конъюнкции и дизъюнкцию из выражения (5.2), устанавливается лог. 1, то число $A > B$. Этому соответствует схема, приведенная на рис. 5.4, а. На рис. 5.4, б она дополнена элементом «Равнозначность» (на входы которого подаются разряды a_0, b_0), конъюнктом (на выходе которого формируется функция $F_{A=B}$) и элементом ИЛИ-НЕ (на выходе которого формируется функция $F_{A<B}$). Если $a_2 = b_2$ ($F_2 = 1$), $a_1 = b_1$ ($F_1 = 1$) и $a_0 = b_0$ ($F_0 = 1$), то $F_{A=B} = F_2 \cdot F_1 \cdot F_0 = 1$, т. е. $A = B$. Если в результате сравнения чисел $F_{A>B} = 0$ и $F_{A=B} = 0$, то на выходе ИЛИ-НЕ лог. 1 ($F_{A<B} = 1$), т. е. $A < B$.

По аналогичным схемам (см. рис. 5.4, б) выполняются компараторы для сравнения чисел с большей разрядностью.

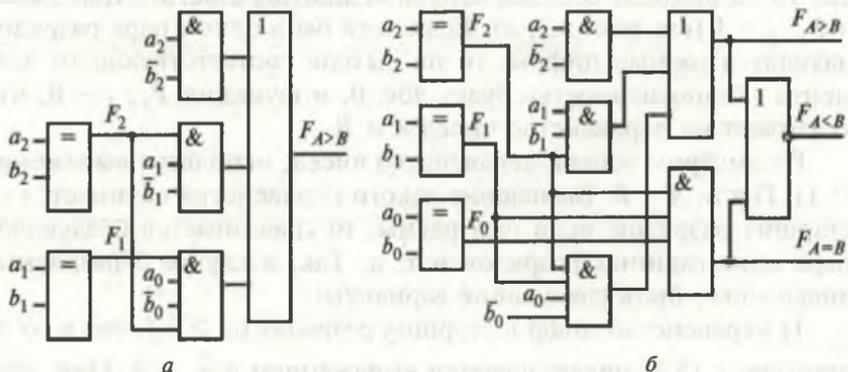


Рис. 5.4

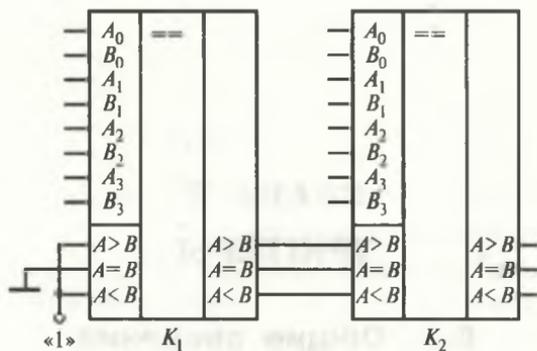


Рис. 5.5

На рис. 5.5 приведены условные обозначения компараторов и способ наращивания их разрядности. Каждый из изображенных компараторов предназначен для сравнения двух 4-разрядных слов и имеет выходы $A > B$, $A = B$ и $A < B$. Аналогичные входы служат для наращивания разрядности компараторов. Результат сравнения младших разрядов отражается на выходах компаратора K_1 : на одном из них появляется единица, на других присутствуют нули. Компаратор K_2 воспринимает этот результат как единую пару младших разрядов, с учетом которой формируется окончательный результат сравнения. Подобным образом можно осуществлять дальнейшее наращивание разрядности. Указанные потенциалы на входах компаратора K_1 младших разрядов обеспечивают правильное функционирование многокаскадного компаратора на данных микросхемах.

ЗАДАЧИ

1. Составьте схему цифрового компаратора для сравнения на равенство двух двухразрядных кодов.
2. Составьте схему цифрового компаратора для сравнения на неравенство двух двухразрядных кодов.

ЛИТЕРАТУРА

1. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. — Л.: Энергоатомиздат, 1986. С. 145—150.
2. Потемкин И.С. Функциональные узлы цифровой автоматики. — М.: Энергоатомиздат, 1988. С. 77—79.
3. Фролкин В.Т., Попов Л.Н. Импульсные и цифровые устройства. — М.: Радио и связь, 1992. С. 171—173.

ГЛАВА 6

ТРИГГЕРЫ

6.1. Общие сведения

Устройство, имеющее два устойчивых состояния, называют *триггером*. В триггере два выхода: один — прямой, а другой — инверсный. Потенциалы на них взаимно инвертированы: лог 1 на одном выходе соответствует лог. 0 на другом. С приходом переключающих (запускающих) сигналов переход триггера из одного состояния в другое происходит лавинообразно, и потенциалы на выходах меняются на противоположные. В интервале между переключающими сигналами состояние триггера не меняется, т. е. он «запоминает» поступление сигналов, отражая это величиной потенциала на выходе, это дает возможность использовать его как элемент памяти.

При лавинообразных переключениях на выходе триггера формируются прямоугольные импульсы с крутыми фронтами. Это позволяет использовать триггер для формирования прямоугольных импульсов из напряжения другой формы (например, из синусоидального). При двух последовательных переключениях триггера на выходе формируется один импульс, т. е. триггер можно использовать в качестве делителя частоты переключающих сигналов с коэффициентом, равным двум.

Различают неактивируемые и активируемые триггеры. Неактивируемый (асинхронный) триггер может менять свое состояние переключающими сигналами в любое время. Активируемый (синхронный) триггер переключается синхронно с поступлением специального тактирующего импульса.

Классификация триггеров, описанных в данной главе, приведена на рис. 6.1.

Промышленность выпускает разнообразные типы триггеров в интегральном исполнении. Кроме того, их можно выполнять на цифровых интегральных микросхемах, операционных усилителях и транзисторах.



Рис. 6.1

6.2. Нетактируемые триггеры

На выходе элемента И-НЕ (ИЛИ-НЕ) имеется инвертор (усилитель). В структуре из двух таких элементов можно обеспечить положительную обратную связь (если вход одного элемента соединить с выходом другого). Такой структурой является *RS*-триггер. Он имеет два выхода: прямой Q и инверсный \bar{Q} и два входа: S — установки прямого выхода в 1 (говорят: «установки триггера в 1») и R — установки триггера в 0. Данный триггер — асинхронный *RS*-триггер.

В качестве запоминающей ячейки *RS*-триггер входит в состав более сложных интегральных триггеров, а также используется самостоятельно.

***RS*-триггер на элементах ИЛИ-НЕ.** Рассмотрим воздействие на *RS* триггер (рис. 6.2, а) комбинаций сигналов $S = 1, R = 1$ и $S = 0, R = 0$. Сочетание $S = 1, R = 1$ является запрещенным, так как при нем на обоих выходах триггера устанавливаются лог. 0 и после снятия входных сигналов состояние его непредсказуемо. Для элемента ИЛИ-НЕ лог. 0 является пассивным сигналом: с его поступлением на вход состояние выхода элемента не изменяется, поэтому появление комбинации $S = 0, R = 0$ не изменяет состояния триггера.

Лог. 1 для элемента ИЛИ-НЕ является активным сигналом: наличие ее на входе элемента однозначно определяет на его выходе

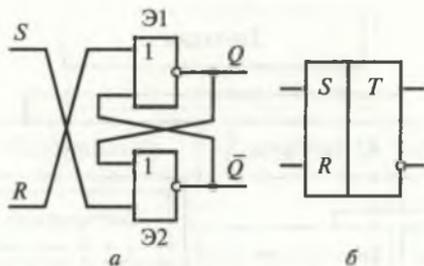


Рис. 6.2

лог. 0 вне зависимости от сигнала на другом входе. Следовательно, переключение рассматриваемого триггера начинает лог. 1, и вход S (установки триггера в состояние $Q = 1$) должен быть связан с элементом, выход которого принят за \bar{Q} .

Из сказанного понятно, что для переключения триггера в состояние $Q = 1$ на его входы следует подать комбинацию $S = 1$, $R = 0$, а для переключения в состояние $Q = 0$ — комбинацию $S = 0$, $R = 1$.

Пусть триггер (см. рис. 6.2, а) находится в состоянии 0 ($Q = 0$, $\bar{Q} = 1$), а на входах действуют сигналы $S = 0$, $R = 0$. Для его переключения в состояние $Q = 1$ подадим на входы комбинацию $S = 1$, $R = 0$. Тогда на выходе элемента Э2 установится лог. 0, на входах элемента Э1 будут одновременно присутствовать лог. 0, и на выходе Q установится лог. 1 — триггер переключится в новое состояние ($Q = 1$, $\bar{Q} = 0$). Для его переключения из этого состояния на входы должна поступить комбинация $S = 0$, $R = 1$. После чего на выходе Q будет лог. 0, на входах элемента Э2 одновременно окажутся лог. 0 и его выход примет потенциал, соответствующий $\bar{Q} = 1$, т. е. триггер переключится в состояние $Q = 0$, $\bar{Q} = 1$.

Отсюда следует, что время переключения триггера $t_{\text{пер}}$ равно удвоенному времени переключения логического элемента (удвоенному времени задержки — $2t_i$). Часто, предусматривая запас по времени, принимают $t_{\text{пер}} = 3t_i$. Для надежного переключения триггера длительность входного переключающего сигнала не должна быть меньше $t_{\text{пер}}$. Условное изображение RS -триггера приведено на рис. 6.2, б.

На рис. 6.3 представлена идеализированная временная диаграмма RS -триггера, на которой время переключения триггера принято равным нулю. Предполагается, что до момента t_1 $S = 0$, $R = 0$ и триггер находится в состоянии $Q = 0$. В момент t_1 комби-

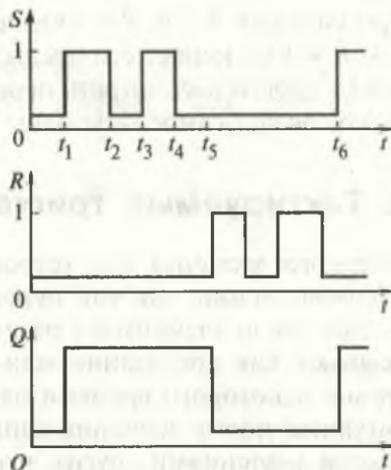


Рис. 6.3

нация $S = 1, R = 0$ переключает триггер в состояние $Q = 1$. При $t = t_2$ на входах устанавливается сочетание $S = 0, R = 0$, при котором состояние триггера сохраняется прежним. Комбинация $S = 1, R = 0$, появляющаяся в момент t_3 , и комбинация $S = 0, R = 0$ в момент t_4 никаких изменений не вносят, по-прежнему $Q = 1$. Только в момент t_5 сочетание $S = 0, R = 1$ вызывает переключение триггера в состояние $Q = 0$. Вслед за этим изменение логической переменной на входе R состояния триггера не меняет. Новое переключение происходит в момент t_6 при поступлении на входы комбинации $S = 1, R = 0$. Запрещенное сочетание сигналов $S = 1, R = 1$ на диаграмме отсутствует.

RS-триггер на элементах И-НЕ. Для элемента И-НЕ активным сигналом является лог. 0: наличие лог. 0 хотя бы на одном входе обуславливает на выходе лог. 1 независимо от сигналов на других входах. Лог. 1 для такого элемента является пассивным сигналом: с ее поступлением на вход состояние выхода элемента не изменяется. Отсюда следует, что переключение триггера на элементах И-НЕ (рис. 6.4, а) начинается лог. 0. На условном изображении такого триггера это показывают инверсными входами (рис. 6.4, б). Нетрудно понять, что для данного триггера

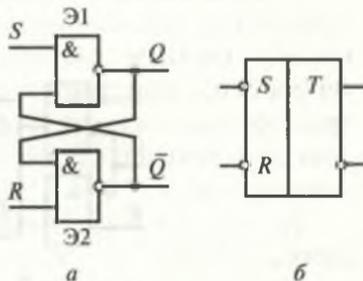


Рис. 6.4

комбинация входных сигналов $S = 0, R = 0$ является запрещенной, а комбинация $S = 1, R = 1$ не меняет его предыдущего состояния. С учетом изложенного просто рассмотреть переключения триггера, что читатель легко сделает самостоятельно.

6.3. Тактируемые триггеры

На входы логического элемента или устройства сигналы не всегда поступают одновременно, так как перед этим они могут проходить через разное число элементов с различной задержкой. Это явление описывают как состязания или гонки сигналов. В результате в течение некоторого времени на входах создается непредвиденная ситуация: новые значения одних сигналов сочетаются с предыдущими значениями других, что может привести к ложному срабатыванию элемента (устройства). Последствия гонок можно устранить временным стробированием, когда на элемент, кроме информационных сигналов, подаются тактирующие (синхронизирующие) импульсы, к моменту прихода которых информационные сигналы заведомо успевают установиться на входах.

Тактируемый триггер, кроме информационных входов, имеет синхронизирующий (тактирующий, тактовый) вход C ; сигналы на информационных входах воздействуют на такой триггер только с поступлением сигнала на синхронизирующий вход. Различают следующие виды трактуемых триггеров: RS -триггеры, двухступенчатые RS -триггеры, D -триггеры и JK -триггеры.

Тактируемый RS -триггер. В схему тактируемого RS -триггера, собранного на элементах ИЛИ-НЕ, входит асинхронный RS -триггер $T1$ и два конъюнктора входной логики (рис. 6.5, а). Последние передают переключающую лог. 1 с информационного S - или R -входа на соответствующие входы триггера $T1$ только при

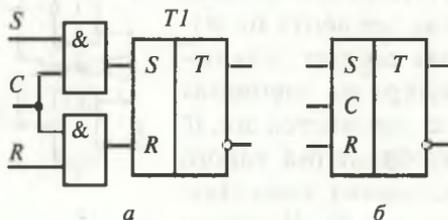


Рис. 6.5

наличии на синхронизирующем входе C лог. 1. При $C = 0$ информация с S - и R -входов на триггер $T1$ не передается.

Рассматриваемый триггер можно выполнить и на запоминающей ячейке, реализованной на элементах И-НЕ.

Условное изображение тактируемого триггера приведено на рис. 6.5, б. В тексте тактируемый RS -триггер сокращенно обозначают как RSC -триггер.

Синхронизирующие входы триггера могут быть статическими и динамическими. Статический вход не теряет своего управляющего действия, пока на нем присутствует тактовый (синхро) импульс. Такие входы имеет триггер, изображенный на рис. 6.5, а. В присутствии тактового импульса эти триггеры будут изменять свое состояние при каждой смене комбинаций логических потенциалов на входах S и R . Динамический синхровход воздействует на состояние выходов триггера в момент своего появления (передним фронтом) или окончания (задним фронтом).

Двухступенчатый тактируемый RS -триггер. Каждая ступень двухступенчатого тактируемого RS -триггера представляет собой тактируемый RS -триггер (рис. 6.6, а). При появлении на C -входе лог. 1 триггер $T1$ воспринимает информацию на входах S и R , определяющую его состояние. В это время на входе C триггера $T2$ за счет инвертора присутствует лог. 0, и информация с выходов $T1$ не воздействует на триггер $T2$. В момент окончания действия лог. 1 на C -входе ($C = 0$) на выходе инвертора появляется лог. 1, разрешающая перезапись в триггер $T2$ информации из триггера $T1$. Таким образом, в первую ступень информация с входов S и R записывается с поступлением тактового импульса, т. е. по его переднему фронту; состояние первой ступени передается второй с окончанием тактового импульса, т. е. по его срезу. По этому

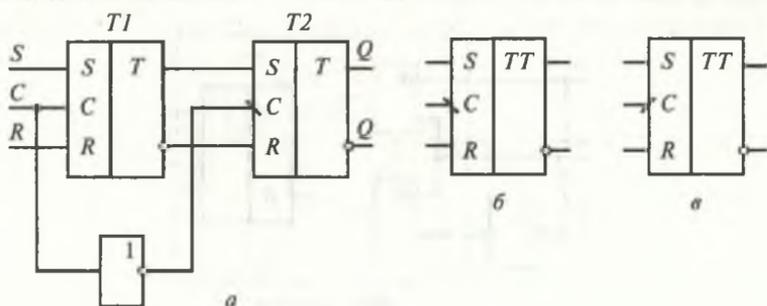


Рис. 6.6

внешнему проявлению тактирующего импульса C -вход описанного триггера можно рассматривать как динамический.

Условное изображение двухступенчатого RS -триггера, в котором переключение выходов второй ступени триггера происходит перепадом входного сигнала из 1 в 0 (перепадом 1/0), приведено на рис. 6.6, б. Условное изображение триггера с C -входом, переключающим триггер перепадом 0/1, приведено на рис. 6.6, в.

Тактируемый (синхронный) триггер обычно имеет дополнительные асинхронные входы, по которым он вне зависимости от сигнала на тактовом входе переключается в состояние лог. 1 (по входу S) или в 0 (по входу R). Такие входы называют нетактируемыми или асинхронными. Логические потенциалы на них воздействуют на запоминающие ячейки триггера непосредственно (для чего эти ячейки триггера выполнены на трехвходовых элементах), минуя входную логику.

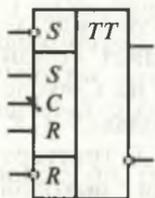


Рис. 6.7

Условное изображение двухступенчатого триггера с инверсными асинхронными входами приведено на рис. 6.7.

D -триггер (триггер задержки). D -триггер имеет один информационный D -вход и тактовый C -вход (рис. 6.8). Он состоит из синхронного RSC -триггера, дополненного инвертором. При $C = 1$ потенциал D -входа передается на S -вход триггера $T1$ ($S = D$),

а на входе R устанавливается потенциал $R = \bar{D}$ (сигналы на входах оказываются взаимно инвертированными). Это приводит к тому, что любой сигнал на D -входе создает на S - и R -входах комбинацию ($S = 1, R = 0$ или $S = 0, R = 1$), способную переключить триггер в состояние $Q = S = D$. Таким образом, при $C = 1$ D -триггер является повторителем: на выходе Q повторяется потенциал входа D . Однако это повторе-

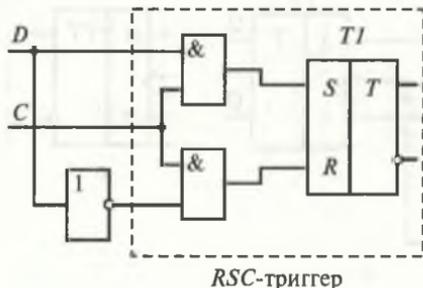


Рис. 6.8

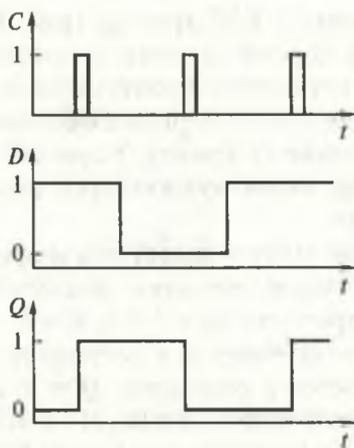


Рис. 6.9

ние начинается только с поступлением тактового импульса на C -вход, т. е. с задержкой относительно сменившегося потенциала на D -входе. При $C = 0$ триггер TI и D -вход разобщены, поэтому $S = 0$ и триггер хранит информацию, поступившую с D -входа при $C = 1$.

Поскольку в D -триггере информация поступает по одной линии — на D -вход, то явление гонок в нем не проявляется. Благодаря этому в быстродействующих цифровых устройствах используют D -триггеры.

На рис. 6.9 приведены временные диаграммы D -триггера. Выход Q повторяет состояние D -входа с поступлением очередного тактового импульса на C -вход, т. е. с задержкой.

D -триггер можно выполнить двухступенчатым. При этом его первая ступень представляет собой одноступенчатый D -триггер,

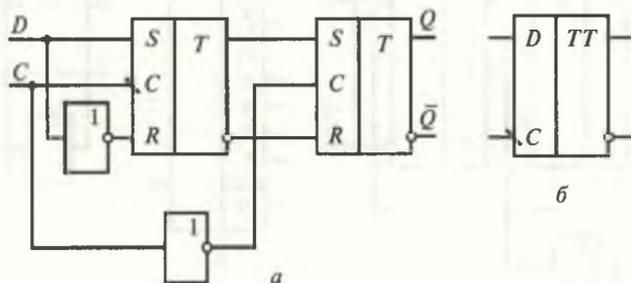


Рис. 6.10

а вторая — синхронный *RSC*-триггер (рис. 6.10, *a*). Состояние *D*-входа передается первой ступени с приходом тактового импульса, т. е. по его переднему фронту; вторая ступень (триггер в целом) принимает состояние первой с окончанием тактового импульса, т. е. по его заднему фронту. Условное изображение двухтактного *D*-триггера, переключающегося перепадом 1/0 приведено на рис. 6.10, *б*.

JK-триггер. Такой триггер имеет два информационных входа *J* и *K*, которые по своему влиянию аналогичны *S*- и *R*-входам тактируемого *RSC*-триггера: при $J = 1, K = 0$ — триггер по тактовому импульсу устанавливается в состояние $Q = 1$; при $J = 0, K = 1$ — переключается в состояние $Q = 0$, а при $J = K = 0$ — хранит ранее принятую информацию. Но в отличие от *RSC*-триггера одновременное присутствие лог. 1 на информационных входах не является для *JK*-триггера запрещенной комбинацией, что будет рассмотрено далее.

На рис. 6.11, *a* изображена одна из функциональных схем *JK*-триггера. Ее отличительной особенностью являются перекрестные связи выходов триггера с входами конъюнкторов входной логики. Благодаря им на эти входы после каждого переключения триггера передаются потенциалы, обратные тем, какие были перед предыдущим переключением, и которые, поэтому, в состоянии обеспечить новое переключение триггера в противоположное состояние. Для создания информационных входов *J* и *K* элементы Э1 и Э2 входной логики первой ступени выбраны трехходовыми (см. рис. 6.11, *a*). Переключение выходов второй ступени триггера происходит перепадом 1/0 на *C*-входе. При

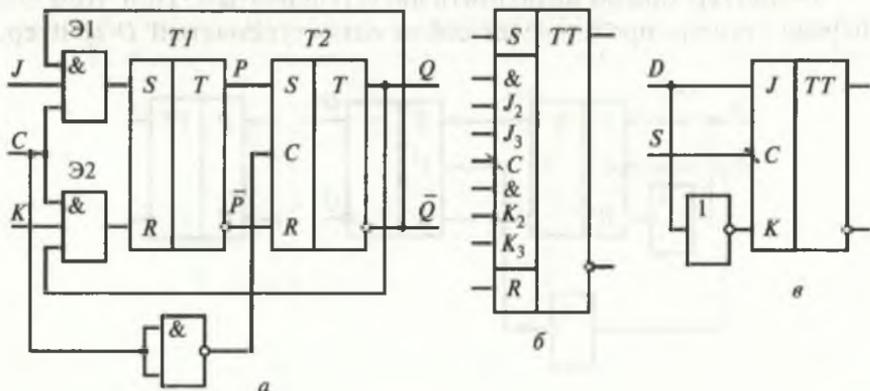


Рис. 6.11

$J = K = 0$ на выходах элементов Э1 и Э2 устанавливаются лог. 0, которые для триггеров с прямыми входами являются пассивными сигналами, т. е. триггер $T1$ и, следовательно, JK -триггер в целом сохраняет прежнее состояние. Чтобы на выходе элемента Э1 появилась лог. 1 (которой триггер $T1$ может переключаться в состояние $P = 1$), на его входах необходимо присутствие сигналов $J = 1$, $C = 1$, а также лог. 1 с выхода \bar{Q} . Аналогично, лог. 1 будет на выходе элемента Э2, когда $K = 1$, $C = 1$ и $Q = 1$. Таким образом, комбинация $J = 1$, $K = 0$ обеспечивает по тактовому импульсу переключение JK -триггера в целом в состояние $Q = 1$, а комбинация $J = 0$, $K = 1$ — в состояние $Q = 0$.

На рис. 6.11, б приведено изображение JK -триггера с тремя объединенными конъюнкцией J -входами, с тремя объединенными конъюнкцией K -входами и с входами S и R асинхронной установки. На рис. 6.11, в показана реализация D -триггера на базе JK -триггера.

6.4. Счетные триггеры

Отличие счетного триггера от остальных состоит в том, что он переключается с поступлением каждого импульса на тактовый вход, называемый в таком триггере счетным.

Счетный триггер можно реализовать на базе JK -триггера. Лог. 1 на одном из входов элемента И не определяет потенциал на его выходе, поэтому сочетание $J = K = 1$ не влияет на входную логику первой ступени триггера. Она получает информацию только с выходов триггера (см. рис. 6.11, а), которая устанавливает ее в положение, когда с приходом счетного импульса начнется очередное переключение — JK -триггер работает в счетном режиме. Реализация счетного режима на JK -триггере приведена на рис. 6.12, а.

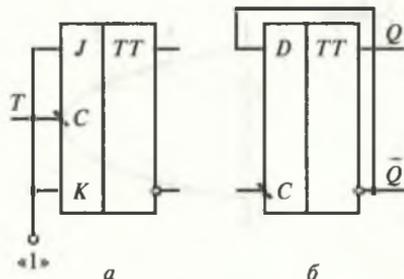


Рис. 6.12

Счетный триггер просто реализовать и на D -триггере (рис. 6.12, б). Если после каждого переключения обеспечить автоматическую смену уровня потенциала на D -входе, то с каждым импульсом на C -входе триггер будет менять свое состояние. Указанная смена потенциала будет осуществляться, если D -вход соединить с выходом Q . Вторая перекрестная связь (аналогичная связи в JK -триггере) обеспечивается за счет соединения D -входа с R -входом запоминающей ячейки триггера через инвертор (см. рис. 6.8).

6.5. Триггер Шмитта

Триггер Шмитта (рис. 6.13, а) отличается от всех триггеров: у него один вход, один выход и он не обладает свойствами запоминающего элемента. Триггер содержит два инвертора, охваченных положительной обратной связью, за счет чего выход схемы может изменять свое состояние лавинообразно.

На выходе инвертора потенциал с лог. 0 на лог. 1 изменяется при большем входном напряжении, чем при изменении с лог. 1 на лог. 0 (см. п. 2.4). Поэтому триггер Шмитта (см. рис. 6.13, а) обладает гистерезисом (рис. 6.13, б), что позволяет использовать его в качестве формирователя прямоугольных импульсов из входного напряжения, в частности, из синусоидального. Условное изображение триггера Шмитта приведено на рис. 6.13, в.

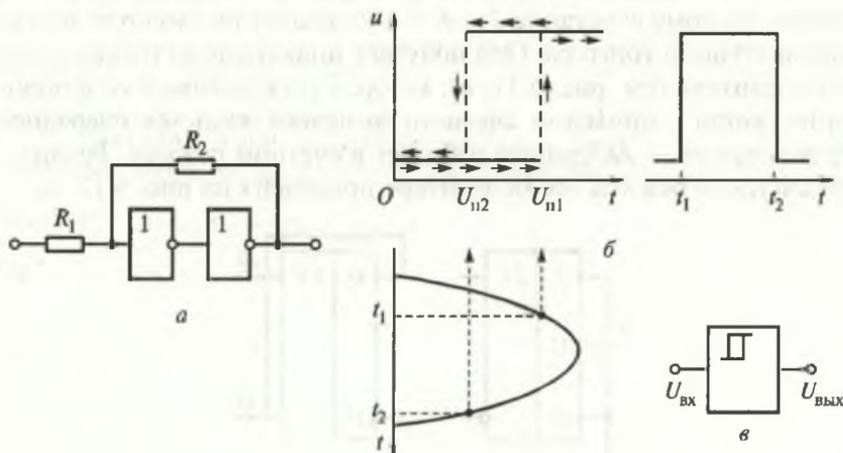


Рис. 6.13

ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ

1. Назовите триггер с наибольшим быстродействием (аналогичные элементы сравниваемых триггеров имеют одинаковое быстродействие).

2. Укажите значение коэффициента объединения, который должен иметь элемент входной логики *JK*-триггера, имеющего 3 входа *J*, 3 входа *K*, а также входы *S* и *R* асинхронной установки.

ЗАДАЧИ

1. Составьте схему одноступенчатого тактируемого триггера с прямыми входами, основу которого составляет *RS*-триггер с инверсными входами.

2. Составьте схему счетного триггера, с тем, чтобы переключающий его перепад $1/0$ изменился на перепад $0/1$.

УКАЗАНИЯ К ВОПРОСАМ И ЗАДАЧАМ

К вопросу 2. Вспомните, на какие элементы схемы воздействуют сигналы с асинхронных входов.

К задаче 1.

1) триггер с прямыми входами начинает переключение лог. 1 на соответствующем входе;

2) вспомните

а) какой логический потенциал (1 или 0) начинает переключение триггера на элементах И-НЕ;

б) на выходе какого двухвходового элемента будет лог. 0 при наличии лог. 1 на обоих входах.

ЛИТЕРАТУРА

1. Зельдин *Е.А.* Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. — Л.: Энергоатомиздат, 1986. С. 162—195.

2. Калабеков *Б.А.* Цифровые устройства и микропроцессорные системы. — М.: Телеком, 2000. С. 98—109.

3. Потемкин *И.С.* Функциональные узлы цифровой автоматики. — М.: Энергоатомиздат, 1988. С. 166—206.

4. Фролкин *В.Т.*, Попов *Л.Н.* Импульсные и цифровые устройства. — М.: Радио и связь, 1992. С. 188—222.

ГЛАВА 7

СЧЕТЧИКИ И ДЕЛИТЕЛИ ЧАСТОТЫ

7.1. Общие сведения

Счетчик выполняют на запоминающих элементах — триггерах. Он фиксирует число импульсов, поступивших на его вход. В интервалах между ними счетчик хранит информацию об их числе. Совокупность единиц и нулей на выходах n триггеров (выходах счетчика) представляет собой n -разрядное двоичное число, однозначно определяющее количество прошедших на входе импульсов. Поэтому триггеры счетчика называют его разрядами.

Суммирующий счетчик увеличивает свое содержимое на единицу с поступлением каждого входного (счетного) импульса. Вычитающий счетчик аналогично уменьшает свое содержимое на единицу.

Комбинацией суммирующего и вычитающего счетчиков является реверсивный счетчик. У него может быть два входа, на один из которых поступают импульсы, увеличивающие его содержимое (суммирующие импульсы), а на другой — вычитающие. Реверсивный счетчик может иметь один вход для суммирующих и вычитающих импульсов, а переключение с одного режима на другой осуществляется в нем сигналом на специальном входе.

В счетчик может предварительно заноситься число, для чего он имеет специальные входы.

Классификация счетчиков и делителей частоты, описанных в данной главе, приведена на рис. 7.1.

Каждый разряд счетчика может находиться в двух состояниях. Число устойчивых состояний, которое может принимать данный счетчик, называют его емкостью, модулем счета или коэффициентом пересчета.

Одним из основных параметров счетчика является его быстродействие. Оно оценивается минимальным интервалом между двумя соседними импульсами, с поступлением каждого из которых счетчик способен изменить свое содержимое. Счетчик является атрибутом многих цифровых устройств различного назначения. Его можно использовать по прямому назначению — для счета



Рис. 7.1

поступающих на его вход импульсов и для деления их частоты следования.

7.2. Счетчики

Триггеры счетчика соединяются между собой таким образом, чтобы каждому числу поступивших импульсов соответствовали единичные состояния определенных триггеров. Счетчик, у которого при поступлении входного импульса переключающий перепад передается от предыдущего триггера к последующему, называют счетчиком с *последовательным переносом*, а когда переключающий перепад на все разряды поступает одновременно (или почти одновременно) — счетчиком с *параллельным переносом*. Счетчики могут выполняться только на счетных триггерах. О состоянии разряда счетчика судят по потенциалу на прямом выходе триггера.

В большинстве случаев счетчики строятся таким образом, чтобы записываемое в них число было выражено в натуральном двоичном коде. В таком коде «вес» 1 на прямом выходе младшего разряда равен 1, а в каждом последующем разряде вдвое больше, чем в предыдущем. В данной главе рассматриваются именно такие счетчики.

7.2.1. Счетчики с последовательным переносом

Первый разряд счетчика, будучи счетным триггером, переключается каждым входным импульсом. Каждый последующий разряд счетчика получает переключающий перепад (1/0 или 0/1)

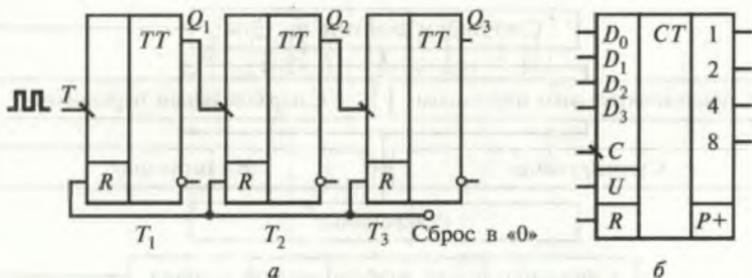


Рис. 7.2

от предыдущего разряда — переключающий перепад распространяется вдоль цепочки триггеров счетчика последовательно.

Структура суммирующего счетчика. Схема суммирующего счетчика с последовательным переносом приведена на рис. 7.2, а. С поступлением каждого входного импульса число в счетчике увеличивается на единицу. Если в данном разряде присутствует 1, то под воздействием перепада, поступающего от предыдущего, он обнуляется, и единица переносится в следующий разряд. Если же в данном разряде 0, то в него записывается 1.

На рис. 7.2, б представлено условное изображение 4-разрядного счетчика. На счетный *C*-вход поступают импульсы. Лог. 1 на входе *R* сбрасывает все разряды счетчика в нуль. По входам предварительной установки $D_0 - D_3$ в счетчик может быть записано число, его занесение должно сопровождаться лог. 1 на входе разрешения *U*. Число, занесенное в счетчик, фиксируется на его выходах двоичным кодом с «весами» разрядов 1–2–4–8, что отмечено на правом поле рис. 7.2, б. На выходе P_+ появляется лог. 1 с поступлением на вход 16-го импульса, т. е. вслед за тем, как предыдущими 15-ю импульсами все разряды счетчика были установлены в 1.

Суммирующий счетчик функционирует по правилам сложения двоичных чисел. Это легко проследить по временной диаграмме, изображенной на рис. 7.3, где крестиками отмечены переключающие перепады 1/0. Рассмотрим действие на счетчик, к примеру, шестого импульса. По его спаду триггер T_1 устанавливается в 0, перепад 1/0 на его выходе Q_1 переключает в 1 триггер T_2 , а триггер T_3 остается в прежнем (единичном) состоянии, так как перепад 0/1 на выходе Q_2 не является переключающим. Аналогично можно рассмотреть действие и других импульсов.

Из временных диаграмм (см. рис. 7.3) можно сделать следующие выводы:

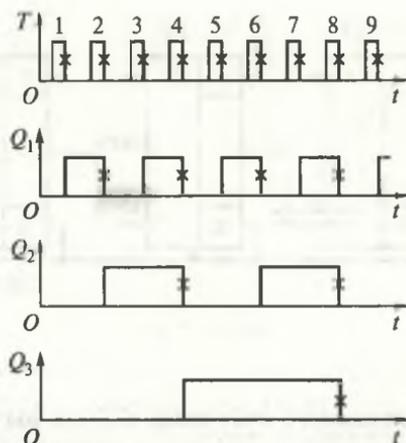


Рис. 7.3

— с наибольшей частотой (равной частоте входных импульсов) переключается входной триггер счетчика;

— частота импульсов на выходе каждого триггера вдвое меньше частоты импульсов на его входе, а n разрядов счетчика делят частоту входных импульсов в 2^n раз. При поступлении на вход рассмотренного счетчика восьми импульсов (в общем случае 2^n) на выходе Q_3 формируется один импульс; таким образом, счетчик является делителем числа входных импульсов с коэффициентом деления (пересчета), равным емкости счетчика $K_{\text{сч}}$;

— при поступлении на вход суммирующего счетчика 2^n импульсов (для трехразрядного счетчика — восьми) он переполняется: все триггеры устанавливаются в 0 (счетчик обнуляется). Девятым импульсом рассмотренный счетчик вновь начинает заполняться;

— максимальное число, которое может содержать счетчик, на единицу меньше его емкости $N = K_{\text{сч}} - 1 = 2^n - 1$. Максимальное число в трехразрядном счетчике (когда на всех прямых выходах разрядов присутствуют единицы) равно 7 ($2^3 - 1$);

— в момент, предшествующий переключению очередного разряда, все предыдущие разряды счетчика находятся в состоянии 1.

Если в счетчике использованы триггеры, переключающиеся перепадом 0/1, то вход последующего триггера нужно соединить с инверсным выходом предыдущего, на котором формируется этот перепад, когда по основному выходу триггер переключается из 1 в 0.

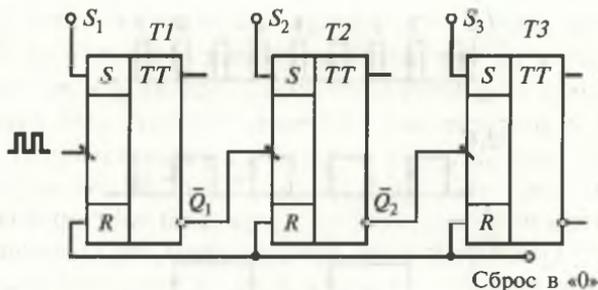


Рис. 7.4

Структура вычитающего счетчика. Схема вычитающего счетчика на триггерах, переключающихся перепадом 1/0, приведена на рис. 7.4. По S -входам в разряды счетчика заносится двоичное число, из которого нужно вычесть число, представляемое количеством входных импульсов. При построении такого счетчика реализуется закономерность вычитания 1 из двоичного числа: первая 1, встретившаяся при просмотре этого числа справа налево, меняется на 0, а все предшествующие 0 меняются на 1. Например:

$$100_2 - 001_2 = 011_2 (4 - 1 = 3); 010_2 - 001_2 = 001_2 (2 - 1 = 1).$$

Поэтому счетный вход триггера, переключающегося перепадом 1/0, надо соединить не с прямым выходом предыдущего триггера (как в режиме суммирования), а с его инверсным выходом, на котором присутствует лог. 1, когда триггер находится в нулевом состоянии. Действительно, пусть счетчик имеет два разряда, в которые занесены 1 (число 3). При этом на инверсных выходах разрядов присутствуют лог. 0. Первый входной импульс переключает первый разряд счетчика в 0, и на его инверсном выходе возникает неперекрывающийся перепад 0/1 — второй разряд остается в прежнем состоянии. Второй входной импульс вновь переключает первый разряд, и на его инверсном выходе появляется переключающийся перепад 1/0, который устанавливает второй разряд в 0. Третий входной импульс опять переключает первый разряд, но теперь на его инверсном выходе формируется неперекрывающийся перепад 0/1, поэтому второй разряд остается в нулевом состоянии. В результате три входных импульса обнуляют двухразрядный счетчик, осуществив вычитание из него числа 3 (011_2). Следующий входной импульс, действуя на обнуленный счетчик, установит все его триггеры (как обычно, имеются в

виду прямые выходы) в 1, так как при переключении каждого из них, начиная с первого, на инверсном выходе будет формироваться перепад 1/0, переключающий следующий разряд.

Структура реверсивного счетчика. Реверсивный счетчик должен работать как на сложение, так и на вычитание. Из рассмотрения схем, представленных на рис. 7.2 и 7.4, следует, что в суммирующем счетчике каждый последующий триггер получает информацию с прямого выхода предыдущего, а в вычитающем — с инверсного выхода, т. е. для перехода от сложения к вычитанию и обратно надо изменять подключение счетного входа последующего триггера к выходу предыдущего.

Такая программа реализуется в схеме реверсивного счетчика, приведенной на рис. 7.5. Счетный вход каждого триггера через дизъюнктор может присоединяться к прямому выходу предыдущего триггера (через конъюнктор верхнего ряда) или к инверсному выходу (через конъюнктор нижнего ряда). Чтобы осуществить суммирование, на линию сложения со входа P подается 1, которой вводятся в действие конъюнкторы верхнего ряда. При этом на шине вычитания присутствует 0, за счет чего конъюнкторы нижнего ряда выключены. Вычитание осуществляется при $P = 0$, т. е. с подачей 1 на линию вычитания и 0 на шину сложения. Заносимое в счетчик число читается по выходам Q_3, Q_2, Q_1 .

Счетчики с последовательным переносом, имея простую структуру, обладают рядом недостатков. Один из них состоит в относительно низком быстродействии: к k -му разряду переключаю-

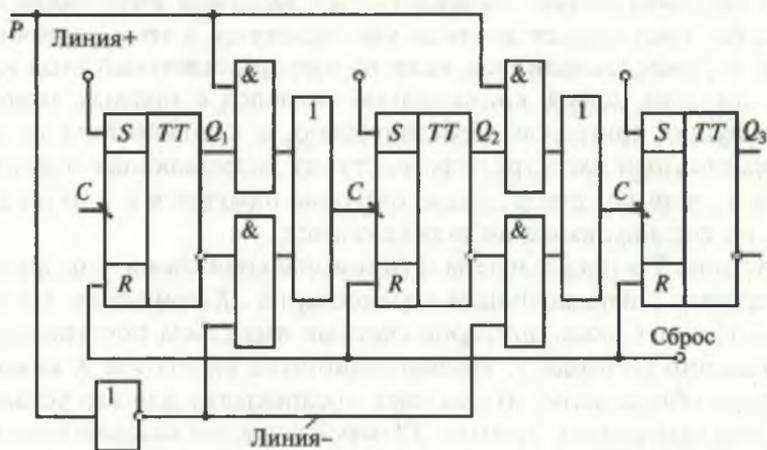


Рис. 7.5

ший перепад проходит через $(k - 1)$ предыдущих разрядов, поэтому интервал между соседними входными импульсами должен превышать $t_n (n - 1)$, где t_n — время переключения триггера; n — число разрядов счетчика. Другим недостатком является то, что в ходе переключения младшие разряды счетчика принимают уже новые состояния, в то время как старшие еще находятся в прежнем, т. е. при смене одного числа другим счетчик проходит ряд промежуточных состояний, каждое из которых может быть принято фиксирующим устройством за окончательное.

7.2.2. Счетчики с параллельным переносом

Ко всем разрядам счетчика с параллельным переносом информация о состоянии предыдущих разрядов поступает параллельно, также одновременно (параллельно) поступают к ним и счетные (входные) импульсы, доставляющие переключающие перепады. При этом переключающиеся разряды переходят в новые состояния одновременно. Изменение состояний разрядов обеспечивается логическими цепями, которые при поступлении входного импульса одни триггеры удерживают от переключения, а другим разрешают переключиться. Триггеры такого счетчика, кроме счетного, должны иметь информационные входы, на которые поступают разрешения или запреты с логических цепей.

Структура суммирующего счетчика. В соответствии с временными диаграммами (см. рис. 7.3) очередной разряд суммирующего счетчика должен переключаться входным импульсом в 1, когда все предыдущие разряды уже находятся в этом состоянии. Такое условие выполнится, если на информационный вход каждого триггера подать конъюнкцию сигналов с прямых выходов предыдущих триггеров. Действительно, с конъюнктора на информационный вход триггера поступит разрешающая переключение 1, если все предыдущие триггеры находятся в 1, и по сигналу на счетном входе он переключится.

На рис. 7.6 представлена функциональная схема 4-разрядного счетчика с параллельным переносом на JK -триггерах. На тактовые входы C всех триггеров счетные импульсы поступают одновременно со входа T . Информационные входы J и K каждого триггера объединены, что создает предпосылку для его установки в счетный режим. Триггер $T1$ переключается каждым счетным импульсом, так как на его входы J и K постоянно подается лог. 1. Каждый из последующих триггеров переключается счетным им-

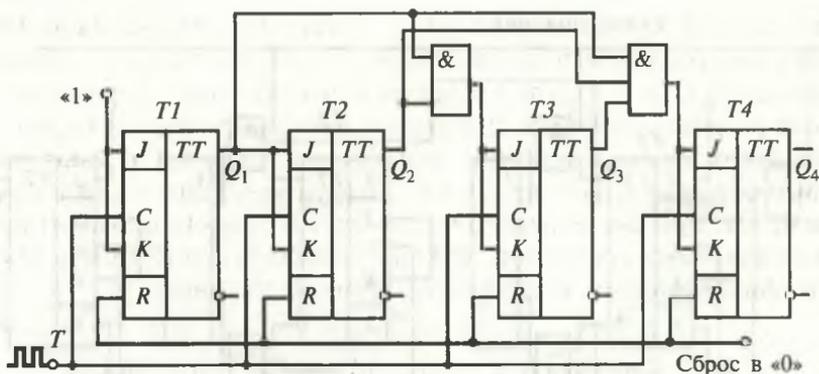


Рис. 7.6

пульсом, когда на его объединенные входы J и K с прямых выходов предыдущих триггеров поступает лог. 1, устанавливая его в счетный режим. Заносимое в счетчик число читается по выходам Q_4, Q_3, Q_2, Q_1 .

Недостатком многоразрядного счетчика такого типа является необходимость иметь конъюнкторы с большим количеством входов. Замена многовходовых конъюнкторов двухвходовыми может быть легко выполнена читателем.

Структура вычитающего счетчика. Так как переключение разрядов счетчика на JK -триггерах происходит при наличии лог. 1 на объединенных J - и K -входах, то и в данном случае ее следует снимать с выходов конъюнкторов, на входах которых собираются лог. 1. Аналогично вычитающему счетчику с последовательным переносом их следует снимать с инверсных выходов предыдущих разрядов. Это будет показано на схеме реверсивного счетчика.

Структура реверсивного счетчика. Структура такого счетчика (рис. 7.7, *a*) подобна структуре аналогичного суммирующего счетчика (рис. 7.6, *a*). Логические цепи, реализованные на конъюнкторах, обеспечивают счетный режим тем разрядам, которые с поступлением переключающего импульса должны изменить свое состояние. При $D = 1$ работают верхние конъюнкторы и осуществляется режим сложения, а при $D = 0$ работают нижние конъюнкторы и осуществляется режим вычитания.

На рис. 7.7, *б* приведено условное изображение одного из типов реверсивных счетчиков. На входы $+1, -1$ подаются счетные импульсы соответственно в режимах сложения и вычитания. С поступлением импульса на вход разрешения V в счетчик может

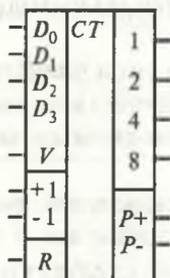


Рис. 7.7

быть записано число через входы предварительной записи $D_0 - D_3$ (через входы S триггеров — см. рис. 7.7, а).

Реверсивные счетчики с параллельным переносом могут иметь один счетный вход T , на который поступают импульсы как при сложении, так и при вычитании. При этом выбор режима (аналогично счетчику с последовательным переносом) осуществляется соответствующим потенциалом на входе разрешения D (см. рис. 7.7, а).

7.2.3. Расширение емкости счетчиков

При переполнении суммирующего счетчика на выход прямого переноса P_+ проходит импульс со входа $+1$ (рис. 7.8). Он может быть записан в другой счетчик с тем, чтобы не потерять информацию о числе импульсов, прошедших на входе первого счетчика. Так, например, девять импульсов на входе предварительно обнуленного десятичного счетчика (с емкостью, равной десяти) устанавливают в 1 все его разряды. Десятый импульс обнуляет счетчик, и с выхода P_+ 1 переносится во второй десятичный счетчик, в котором ее «вес» равен десяти.

Импульс, поступающий на вход (-1) после обнуления счетчика в режиме вычитания, устанавливает в 1 все его разряды и проходит на выход обратного переноса P_- . Он может вычесть единицу из другого счетчика и тем самым не исказит результат. Пусть, к примеру, в первый десятичный счетчик было исходно занесено число 9, а во второй, соединенный

последовательно с ним, 2, т. е. полное число составляло 29. Десятым импульсом на входе -1 первый счетчик обнулится, десятый импульс вновь запишет в него 9, а с выхода P_- из второго счетчика спишется единица — в двух счетчиках останется число 19, что соответствует разности $29 - 10$. В условных обозначениях конкретных типов счетчиков выходы переносов маркируют знаками $>$, $<$ и стоящими рядом числами. Так, у десятичного счетчика символы P_+ и P_- заменяются соответственно на >9 и <0 , а у двоичного счетчика с $K_{сч} = 16$ на >15 и <0 (рис. 7.9).

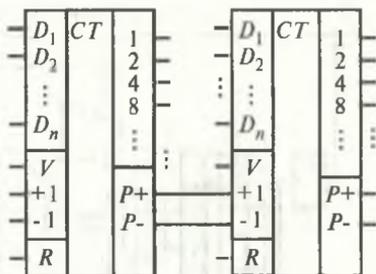


Рис. 7.8

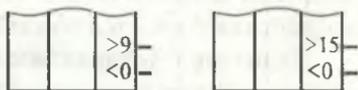


Рис. 7.9

7.3. Делители частоты

Суммирующий счетчик, структура которого была рассмотрена ранее, обнуляется после поступления на вход каждой серии из 2^n импульсов (где n — число разрядов), после которой на выходе его старшего разряда заканчивается один импульс. Такой счетчик является делителем частоты с коэффициентом 2^n . Однако чаще требуются делители с коэффициентом, отличным от 2^n . Рассмотрим некоторые из них.

Делитель с фиксированным коэффициентом деления. Принцип действия такого делителя состоит в том, что по достижении определенного состояния, соответствующего выбранному $K_{дел}$, он принудительно обнуляется, чем исключаются избыточные состояния. На рис. 7.10, а приведена схема такого трехразрядного делителя (счетчика) с $K_{дел} = 6$. После поступления на вход шести импульсов на выходах второго и третьего разрядов устанавливаются лог. 1, благодаря чему лог. 1 с выхода конъюнктора счетчик

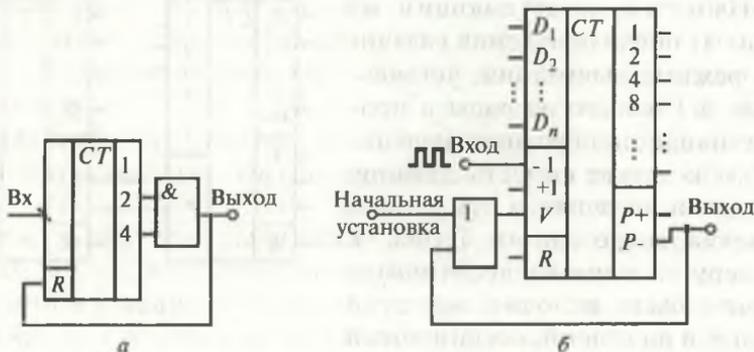


Рис. 7.10

будет сброшен в 0. Заметим, что на выходе третьего разряда потенциал U^1 появляется с поступлением четвертого входного импульса, а потенциал U^0 — с поступлением шестого. Перепад $1/0$ на выходе конъюнктора, свидетельствующий о том, что на входе делителя прошло шесть импульсов, может быть использован для воздействия на следующий делитель частоты.

Делитель с устанавливаемым коэффициентом деления. У делителя с устанавливаемым коэффициентом деления можно менять коэффициент деления в широких пределах, не изменяя каждый раз схемы. Выполняется он на счетчике, имеющем входы предварительной записи (рис. 7.10, б). На выход переноса P_+ проходит входной импульс, осуществляющий обнуление (переполнение) счетчика, а на выход заема P_- проходит входной импульс, поступающий вслед за осуществившим обнуление. Так как в данном случае (см. рис. 7.10, б) задействован выход заема, то с учетом предыдущего замечания коэффициент деления $K_{\text{дел}} = N + 1$, а $N = K_{\text{дел}} - 1$ — число, которое должно быть предварительно занесено в счетчик по входам $D_1 - D_n$. С приходом на вход разрешения предварительной записи V импульса «Начальная установка» двоичный код числа N записывается в счетчик. Входные импульсы на вычитающем входе уменьшают содержимое счетчика. Когда на вход поступят $N = K_{\text{дел}} - 1$ импульсов, счетчик обнулится. Следующий входной импульс пройдет на выход P_- (на выход делителя), а также на вход V , вновь разрешая занесение в счетчик числа N . Таким образом, $N + 1$ импульсам на входе будет соответствовать один импульс на выходе. Изменяя предварительно заносимое в счетчик число N , можно менять коэффициент деления $K_{\text{дел}} = N + 1$.

Аналогично можно организовать делитель с коэффициентом $K_{\text{дел}}$, подавая входные импульсы на вход суммирования и связывая с входом V выход переноса P_+ . При этом по входам $D_1 - D_n$ должно быть занесено число $N = C - K_{\text{дел}}$, где C — емкость счетчика (количество входных импульсов, поданных на обнуленный счетчик, которым он вновь обнуляется), что читатель легко проверит самостоятельно.

Особое место среди делителей занимают *десятичные* (декадные) делители, имеющие коэффициент деления $K_{\text{дел}} = 10$. Десятичные делители позволяют представить число поступивших импульсов десятичными разрядами (числа в которых не превышают 9_{10} и представлены двоичным кодом) — в двоично-десятичном коде. Для получения указанного значения $K_{\text{дел}}$ такой делитель должен иметь четыре триггера, избыточные состояния которых исключают тем или иным образом.

Для получения коэффициента деления, большего того, что может обеспечить один делитель, их соединяют последовательно (аналогично тому, как расширяют емкость счетчика). Соединенные таким образом десятичные делители представляют в двоично-десятичном коде многоразрядное двоичное число.

ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ

1. Определите «вес» единицы в младшем разряде каждого из трех последовательно соединенных 4-разрядных счетчиков.
2. Определите содержимое предварительно обнуленного 3-разрядного вычитающего счетчика после поступления на его вход одного импульса.
3. Определите содержимое каждого из трех последовательно соединенных 4-разрядных предварительно обнуленных суммирующих счетчиков после поступления на вход первого счетчика 1000 импульсов.
4. В два 4-разрядных вычитающих последовательно соединенных счетчика занесено число 180. Определите содержимое обоих счетчиков после поступления 45 импульсов на вход первого из них.
5. В вычитающий счетчик занесено число 12. Определите количество импульсов, которое должно поступить на его вход, чтобы на выходе переноса P_- появился импульс.
6. На 4-разрядном суммирующем счетчике должен быть реализован делитель частоты с принудительным обнулением с коэффициентом пересчета $K = 11$. Определите разрядность, которую должен иметь элемент И делителя.
7. Определите число, которое должно заноситься в вычитающий счетчик перед каждым циклом деления, чтобы делитель с устанавливаемым коэффициентом деления имел его равным $K = 10$.

ЗАДАЧИ

1. Составьте схему устройства, выходным компонентом которого является дешифратор, по выходам которого должна перемещаться лог. 1 («бегущая единица»).

2. На 4-разрядных суммирующих счетчиках составьте схему делителя частоты с фиксированным коэффициентом деления, равном 60.

3. Составьте схему 2-разрядного суммирующего счетчика, разряды которого переключаются перепадом 0/1.

4. Составьте схему 2-разрядного вычитающего счетчика, разряды которого переключаются перепадом 0/1.

УКАЗАНИЯ К ВОПРОСАМ И ЗАДАЧАМ

К вопросу 3. В каждый последующий счетчик заносится единица после поступления $16 (2^4)$ импульсов на вход предыдущего.

К вопросу 6. Определите разрядность числа, соответствующего заданному коэффициенту пересчета.

К вопросу 7. Вспомните, какое число входных импульсов проходит между обнуленным состоянием счетчика и появлением импульса на выходе P .

К задаче 1. Подумайте, как можно последовательно возбуждать выходы дешифратора.

К задаче 2. Примите во внимание «вес» единицы в младшем разряде каждого счетчика.

К задаче 3. Воспользуйтесь указаниями к предыдущей задаче и к вопросу 7.

ЛИТЕРАТУРА

1. *Зельдин Е.А.* Цифровые интегральные микросхемы в информационно-измерительной аппаратуре — Л.: Энергоатомиздат, 1986. С. 199—236.

2. *Калабеков Б.А.* Цифровые устройства и микропроцессорные системы. — М.: Телеком, 2000. С. 131—142.

3. *Потемкин И.С.* Функциональные узлы цифровой автоматики. — М.: Энергоатомиздат, 1988. С. 252—276.

4. *Фролкин В.Т., Попов Л.Н.* Импульсные и цифровые устройства. — М.: Радио и связь, 1992. С. 248—264.

ГЛАВА 8

РЕГИСТРЫ

8.1. Общие сведения

Регистр предназначен для хранения многоразрядных двоичных чисел (слов). Поэтому его основу составляют запоминающие элементы — триггеры. В каждом из них хранится цифра разряда числа. Кроме хранения, регистр может осуществлять сдвиг принятого слова, преобразование параллельного кода в последовательный и наоборот, преобразование кода из прямого в обратный (когда 1 заменяются 0, а 0 — 1) и наоборот, и некоторые арифметические и логические операции.

В соответствии со способом ввода и вывода разрядов числа различают параллельные, последовательные и комбинированные регистры (рис. 8.1).

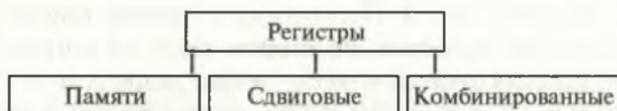


Рис. 8.1

В параллельном регистре (регистре памяти) ввод и вывод слова осуществляется в параллельной форме — одновременно всех разрядов, в последовательном (сдвиговом) регистре разряды числа вводятся и выводятся последовательно, в комбинированном регистре ввод числа осуществляется в параллельной форме, а вывод в последовательной или наоборот.

8.2. Параллельный регистр

На рис. 8.2, а приведена функциональная схема параллельного регистра (регистра памяти) на *RS*-триггерах при однофазном способе приема числа $x_n \dots x_2, x_1$. Так как сигналы, поступающие только на входы *S*, не могут установить соответствующие триггеры в состояния 0 (из-за чего число будет записано с ошибкой), то перед приемом числа все триггеры регистра обнуляются. Для этого на

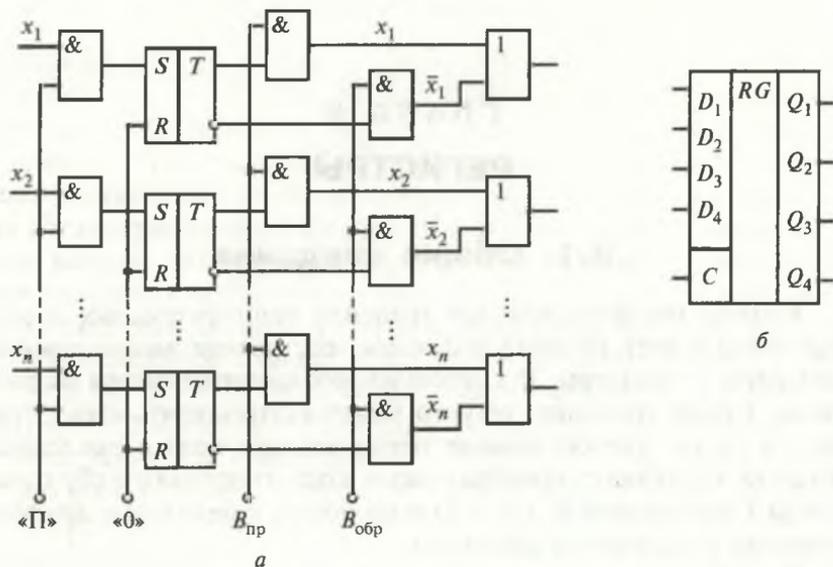


Рис. 8.2

линию «0» подается лог. 1. Подготовка к приему новой информации составляет первый такт. Во втором такте по сигналу 1 на линии «П» («Прием») двоичное число всеми разрядами одновременно (параллельно) через конъюнкторы записывается в разряды регистра. Выдача числа в прямом коде осуществляется по сигналу лог. 1 на линии $B_{пр}$, а в обратном — по сигналу лог. 1 на линии $B_{обр}$.

Ввод информации в рассматриваемом регистре может осуществляться и парафазным способом, когда i -й разряд числа на S -вход поступает непосредственно, а на R -вход — через инвертор. Этим исключается необходимость предварительной установки триггеров в 0, так как теперь его состояние целиком определяется сигналами на S - и R -входах, т. е. цифрой в разряде кода. Такая запись числа осуществляется в один такт и производится намного быстрее, чем двухтактная. Параллельный регистр можно реализовать и на других типах триггеров, имеющих информационные входы.

Условное изображение одного из типов параллельного четырехразрядного регистра приведено на рис. 8.2, б, где $Q_1—Q_4$ — выходы разрядов регистра, $D_1—D_4$ — входы, с которых в регистр одновременно записываются все разряды заносимого слова при поступлении импульса разрешения на C -вход.

8.3. Последовательный регистр

В последовательных регистрах число вводится и выводится последовательно разряд за разрядом. Разряды такого регистра соединены последовательно. Каждый разряд выдает информацию в следующий и одновременно принимает новую информацию из предыдущего. Для этого каждый разряд должен иметь два запоминающих элемента. В первый элемент передается информация из предыдущего разряда, одновременно второй запоминающий элемент передает свою информацию в последующий разряд; затем информация, принятая первым запоминающим элементом, передается во второй, а первый освобождается для приема новой информации.

Двухступенчатый триггер (например, JK -триггер, D -триггер) представляет совокупность двух запоминающих элементов, поэтому он один может составлять разряд последовательного регистра.

Если в цепи таких триггеров выходы одного триггера соединить со входами другого, то по фронту тактового импульса во входную ступень каждого триггера будет заноситься информация из выходной ступени предыдущего триггера, а по спаду импульса она будет переписываться в выходную ступень. Теперь (по фронту следующего тактового импульса) во входной ступени триггера информация может быть заменена новой (из предыдущего триггера) без опасения, что предыдущая будет потеряна.

Функциональная схема последовательного регистра приведена на рис. 8.3, где, к примеру, левый триггер предназначен для хранения старшего разряда числа, а правый — для хранения младшего разряда. Разряды двоичного числа (высокие и низкие потенциалы), начиная с его младшего разряда, последовательно

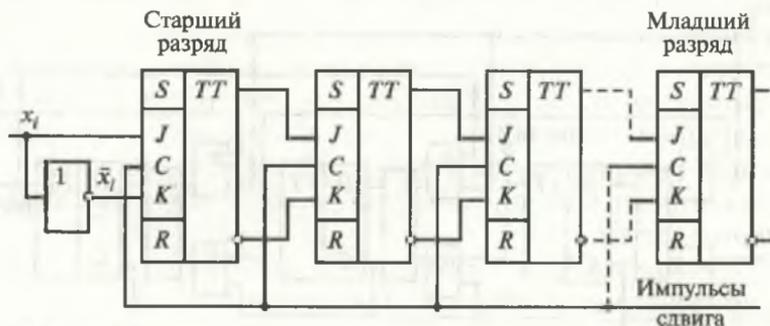


Рис. 8.3

поступают на входы старшего разряда регистра. Поступление разрядов числа чередуется с поступлением импульсов сдвига, которыми вводимые разряды продвигаются вдоль регистра, пока младший разряд n -разрядного числа не окажется в младшем разряде регистра.

Для выдачи записанного в последовательной форме числа надо на входы старшего разряда регистра подать $x_i = 0$, $\bar{x}_i = 1$, а на линию импульсов сдвига — n импульсов. Первый импульс выдвинет из младшего разряда регистра младший разряд числа, на его место передвинется второй разряд числа и т. д. — все число сдвинется вдоль регистра на один разряд. Одновременно с входов в старший разряд регистра будет записан 0. Второй импульс сдвига выдвинет из регистра второй разряд числа и продвинет 0 из старшего разряда регистра в соседний, более младший и т. д. После n импульсов сдвига число будет полностью выведено из регистра, в разряды которого окажутся записанными нули. В соответствии с механизмом перемещения разрядов числа вдоль регистра последовательный регистр называют сдвигающим (сдвиговым). Он может быть однонаправленным (для сдвига числа в сторону младшего разряда — правый сдвиг, в сторону старшего разряда — левый сдвиг), а также реверсивным, обеспечивающим сдвиг в обе стороны.

Схема реверсивного сдвигового регистра изображена на рис. 8.4. При $V = 1$ верхний ряд конъюнкторов заблокирован и в регистр сдвиговыми импульсами могут вдвигаться разряды слова слева направо с входа D_1 . При $V = 0$ блокируется нижний ряд конъюнкторов и слово может вдвигаться в регистр с входа D_2 справа налево.

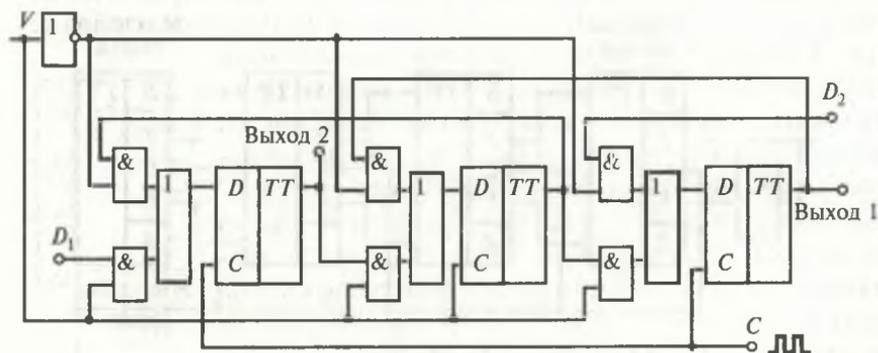


Рис. 8.4

8.4. Параллельно-последовательный регистр

Параллельно-последовательные регистры используются, в частности, для преобразования параллельной формы кода в последовательную и наоборот. Для решения первой задачи регистр, выполненный по схеме рис. 8.3, должен иметь триггеры с неактивируемыми входами S и R для записи слова в параллельном коде. С подачей импульсов сдвига этот код разряд за разрядом будет появляться на выходе триггера младшего разряда. При решении второй задачи число вводится в регистр последовательно разряд за разрядом, которые затем снимаются одновременно с выходов всех триггеров.

Если выходы последнего триггера (см. рис. 8.3) соединить с входами первого, то получится кольцевой регистр сдвига. Записанная в его разряды информация под воздействием сдвигающих импульсов будет циркулировать по замкнутому кольцу. Кольцевой регистр иначе называют кольцевым счетчиком. Его коэффициент пересчета равен числу разрядов n : единица, записанная в один из разрядов, периодически появляется в нем после того, как пройдут n сдвигающих импульсов.

Рассмотрим еще одно применение регистра. Пусть в регистр (см., например, рис. 8.3) записано число так, что его крайние разряды свободны от разрядов числа. При этом сдвиг числа влево (в сторону старших разрядов) увеличивает число вдвое, а сдвиг вправо уменьшает число в два раза. Это легко проследить на примере. Число $0011100_2 = 28_{10}$. При сдвиге влево оно будет равно $0111000_2 = 56_{10}$, а при сдвиге вправо составит $0001110_2 = 14_{10}$.

Промышленность выпускает много типов регистров в интегральном исполнении. На рис. 8.5 приведено условное изображение 4-разрядного параллельно-последовательного регистра со сдвигом вправо. Выбор режима (последовательный или параллельный ввод числа) определяется сигналом на входе V_2 : при лог. 0 регистр работает как сдвигающий, а при лог. 1 — как параллельный. Через вход V_1 в первый разряд регистра последовательно вводятся разряды двоичного числа. Синхроимпульсы, поступающие на вход C_1 , обеспечивают их сдвиг. По входам $D_1—D_4$ в регистр может быть занесено двоичное число в параллельной форме всеми разрядами одновремен-

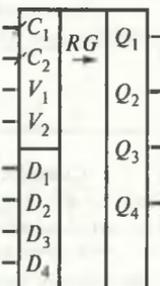


Рис. 8.5

но. Его запись происходит с поступлением синхроимпульса на вход C_2 .

В условных обозначениях регистров со сдвигом влево стрелка обращена в сторону, противоположную изображенной на рис. 8.5, а в реверсивных сдвигающих регистрах она показывается двунаправленной.

На рис. 8.6 показано наращивание разрядов последовательно-параллельного регистра (с последовательным вводом и параллельным выводом числа). По каждому импульсу на входе C разряды вводимого слова со входа D вдвигаются в регистр. С выхода последнего разряда (Q_4) предыдущего регистра разряд снова поступает на вход D последующего регистра, составляющих как бы непрерывную цепочку последовательно включенных триггеров.

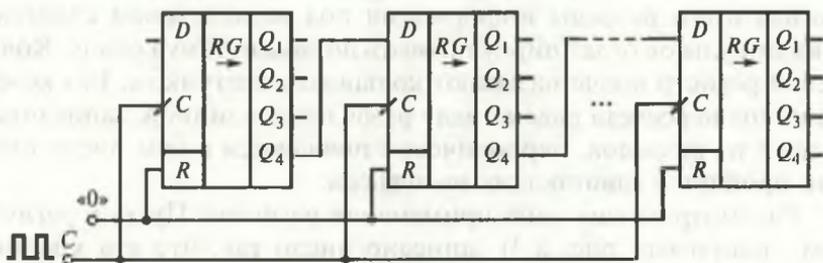


Рис. 8.6

ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ

1. Какой должна быть минимальная разрядность регистра для записи чисел, десятичный эквивалент наибольшего из которых равен 45?
2. Какое минимальное число разрядов должен иметь сдвиговый регистр, чтобы трехзначное двоичное число можно было увеличить в восемь раз?

ЗАДАЧИ

1. Составьте принципиальную схему последовательно-параллельного регистра, по одному управляющему входу которого осуществляется переход от параллельной записи к последовательной.
2. Составьте принципиальную схему последовательно-параллельного регистра с двумя управляющими входами, один из которых устанавливает параллельный ввод числа, а другой — последовательный.
3. Составьте схему регистра памяти при парафазном занесении информации.

ЛИТЕРАТУРА

1. *Зельдин Е.А.* Цифровые интегральные микросхемы в информационно-измерительной аппаратуре — Л.: Энергоатомиздат, 1986. С. 236—258.
2. *Калабеков Б.А.* Цифровые устройства и микропроцессорные системы. — М.: Телеком, 2000. С. 126—130.
3. *Потемкин И.С.* Функциональные узлы цифровой автоматики. — М.: Энергоатомиздат, 1988. С. 206—211, 276—290.
4. *Фролкин В.Т., Попов Л.Н.* Импульсные и цифровые устройства. — М.: Радио и связь, 1992. С. 229—248.

ГЛАВА 9

СУММАТОРЫ

9.1. Общие сведения

Основным действием над двоичными числами является сложение. Оно используется само по себе, в операциях вычитания, а также составляет основу умножения и деления чисел.

Многоразрядные сумматоры организуются на одnorазрядных, суммирующих одноименные разряды чисел.

По принципу обработки разрядов чисел различают последовательные и параллельные сумматоры. В последовательных сумматорах сложение чисел осуществляется поразрядно, последовательно; в параллельных — все разряды обрабатываются одновременно, параллельно. Классификация сумматоров, описанных в данной главе, приведена на рис. 9.1.



Рис. 9.1

9.2. Одноразрядный сумматор

Сложение одноразрядных двоичных чисел осуществляется по следующим правилам:

$$\begin{array}{cccc} 0 & 1 & 0 & 1 \\ + & + & + & + \\ \hline 0 & 0 & 1 & 1 \\ \hline 0 & 1 & 1 & 10 \end{array}$$

Переполнение разряда — перенос единицы в следующий разряд

Результат сложения двух единиц равен 2_{10} (10_2), он вдвое превышает «вес» единицы в данном разряде, т. е. равен «весу» единицы в следующем разряде. Поэтому указанный результат переносится в виде 1 в следующий разряд, а в данном разряде записывается 0.

В таблице истинности (табл. 9.1) приведены все случаи сложения одноразрядных двоичных чисел A и B . По таблице можно установить следующие логические выражения, связывающие выходы S (цифра в данном разряде) и P (единица переноса в следующий разряд) с входами A и B :

$$S = A\bar{B} + \bar{A}B = A \oplus B; \quad (9.1)$$

$$P = AB. \quad (9.2)$$

Таблица 9.1

Слагаемое		Результат в данном разряде (S)	Перенос в следующий разряд (P)
A	B		
1	0	1	0
1	1	0	1
0	0	0	0
0	1	1	0

Формула (9.1) представляет собой выражение неравнозначности (функция Исключающее ИЛИ), которая обозначена значком \oplus , а формула (9.2) — конъюнкция одноразрядных чисел A и B . По этим выражениям может быть синтезирован *полусумматор* — устройство, реализующее сложение двух одноразрядных чисел. В соответствии с выражениями (9.1), (9.2) схема полусумматора содержит шесть элементов. Для ее минимизации прибавим к функции S слагаемые $A\bar{A}$ и $B\bar{B}$, каждое из которых равно 0. При этом

$$\begin{aligned} S &= A\bar{B} + \bar{A}B = A\bar{B} + \bar{A}B + A\bar{A} + B\bar{B} = \\ &= \bar{A}(A + B) + \bar{B}(A + B) = (A + B)(\bar{A} + \bar{B}). \end{aligned}$$

По теореме де Моргана

$$\bar{A} + \bar{B} = \overline{AB}.$$

Но $AB = P$, поэтому $S = \overline{(A + B)P}$.

Выражения $S = \overline{(A + B)P}$ и $P = AB$ реализует схема, представленная на рис. 9.2, а. В нее входит на два элемента меньше, чем

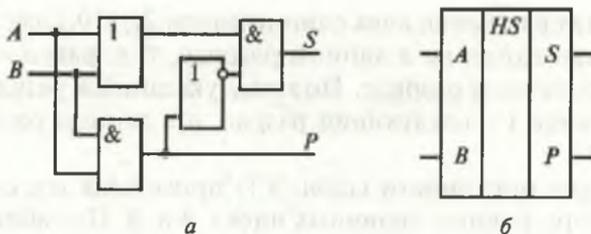


Рис. 9.2

в схему, составленную непосредственно по выражениям (9.1), (9.2). Условное изображение полусумматора приведено на рис. 9.2, б.

Полусумматор не имеет входа, на который можно было бы передавать перенос с предыдущего разряда, поэтому его можно использовать только для суммирования младших разрядов чисел.

9.3. Многоразрядный сумматор

При сложении двух многоразрядных чисел следует учитывать то, что каждый разряд может получать единицу переноса из предыдущего разряда, а также передавать единицу переноса в следующий. С учетом этого составлена таблица истинности *полного* одноразрядного сумматора одноименных разрядов двух чисел (табл. 9.2), где A_i и B_i — цифры в одноименных разрядах чисел A и B ; P_{i-1} — перенос в разряд i из разряда $i-1$; S_i — результат сложения слагаемых, P_i — перенос из i -го разряда в следующий. По табл. 9.2 можно составить логические выражения, связывающие выходы S_i и P_i с входами A_i , B_i , P_{i-1} :

$$\begin{aligned}
 S_i &= A_i B_i P_{i-1} + \bar{A}_i \bar{B}_i P_{i-1} + A_i \bar{B}_i \bar{P}_{i-1} + \bar{A}_i B_i \bar{P}_{i-1} = \\
 &= P_{i-1} (A_i B_i + \bar{A}_i \bar{B}_i) + \bar{P}_{i-1} (A_i \bar{B}_i + \bar{A}_i B_i).
 \end{aligned}$$

Таблица 9.2

P_{i-1}	A_i	B_i	S_i	P_i
1	1	1	1	1
1	1	0	0	1
1	0	1	0	1
1	0	0	1	0
0	1	1	0	1
0	1	0	1	0
0	0	1	1	0
0	0	0	0	0

Выражение в первых скобках представляет собой уравнение функции «Равнозначность», а во вторых скобках — логически противоположная функция «Неравнозначность» (Исключающее ИЛИ — $A_i \oplus B_i$). С учетом этого

$$S_i = P_{i-1}(\overline{A_i \oplus B_i}) + \overline{P_{i-1}}(A_i \oplus B_i). \quad (9.3)$$

Считая P_{i-1} одной переменной ($P_{i-1} = x_1$), а $A_i \oplus B_i = x_2$, можно записать (по аналогии с выражением $x_1 \bar{x}_2 + \bar{x}_1 x_2 = x_1 \oplus x_2$) значение i -го разряда

$$S_i = (A_i \oplus B_i) \oplus P_{i-1}. \quad (9.4)$$

По табл. 9.2 имеем значение переноса из i -го разряда

$$\begin{aligned} P_i &= A_i B_i P_{i-1} + A_i \bar{B}_i P_{i-1} + \bar{A}_i B_i P_{i-1} + A_i B_i \bar{P}_{i-1} = \quad (9.5) \\ &= A_i B_i (P_{i-1} + \bar{P}_{i-1}) + P_{i-1} (A_i \bar{B}_i + \bar{A}_i B_i) = A_i B_i + P_{i-1} (A_i \oplus B_i). \end{aligned}$$

Полный одноразрядный сумматор (с входным и выходным выводами переноса) можно составить из двух полусумматоров. Действительно, функцию (9.4) можно получить на выходе S полусумматора (по аналогии с выражением (9.1), на один вход которого поступает $A_i \oplus B_i$, а на другой вход — P_{i-1} . Эти входные функции могут формироваться на выходах предыдущего полусумматора (см. выражения (9.1), (9.2)). На выходе переноса второго полусумматора формулируется функция $(A_i \oplus B_i)P_{i-1}$. Дизъюнкция их элементом ИЛИ дает требуемое выражение (9.5) (см. рис. 9.3, а). Условное обозначение полного одноразрядного сумматора показано на рис. 9.3, б).

Суммирование одноименных разрядов многоразрядных чисел может осуществляться параллельно и последовательно. Сумматор параллельного действия (рис. 9.4, а) состоит из полных

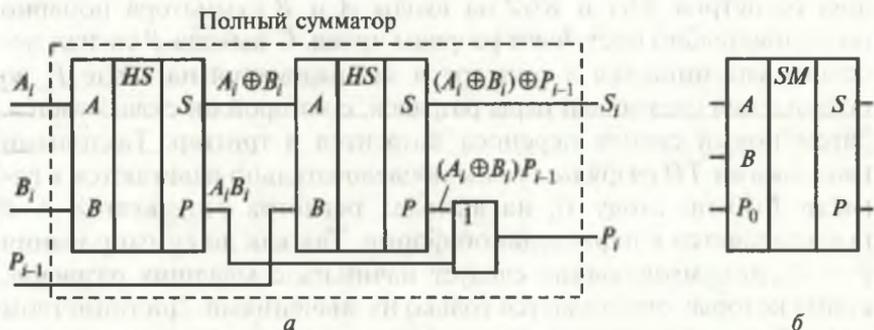


Рис. 9.3

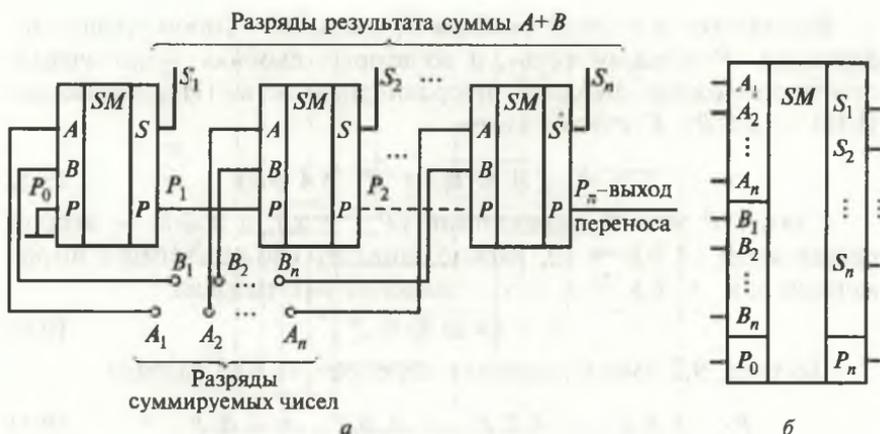


Рис. 9.4

одноразрядных сумматоров, количество которых равно числу разрядов складываемых чисел. Ввод слагаемых чисел и вывод результата осуществляется всеми разрядами одновременно в параллельной форме. Перенос с выхода сумматора одного разряда передается на вход переноса сумматора следующего разряда. Поэтому быстродействие сумматора определяется временем распространения сигнала переноса вдоль цепи одноразрядных сумматоров. Для повышения быстродействия используют, в частности, параллельное формирование переносов в специальном блоке ускоренного переноса. Условное изображение многоразрядного сумматора приведено на рис. 9.4, б.

При последовательном суммировании каждое число представляется в последовательной форме, и одноименные разряды чисел, начиная с младших, синхронно вводятся в полный одноразрядный сумматор. По тактовым импульсам $ТИ$ (рис. 9.5) из сдвигающих регистров $RG1$ и $RG2$ на входы A и B сумматора попарно последовательно поступают разряды чисел. С выхода P сигнал переноса запоминается в триггере и задерживается на входе P_0 до поступления следующей пары разрядов, с которой он складывается. Затем новый сигнал переноса заносится в триггер. Тактовыми импульсами $ТИ$ разряды суммы последовательно вдвигаются в регистр $RG3$ по входу D , на выходах регистра результат $A+B$ представляется в параллельной форме. Так как до суммирования $P=0$, то суммирование следует начинать с младших разрядов, сумма которых определяется только их значениями. Достоинством сумматора последовательного действия является простота схемы, а недостатком — сравнительно низкое быстродействие.

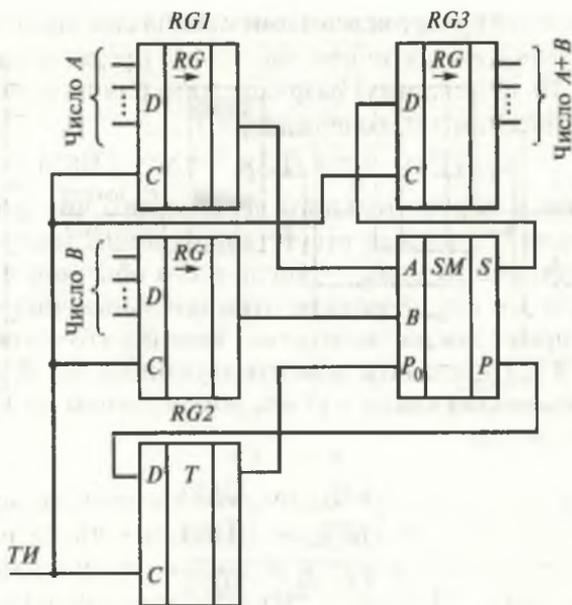


Рис. 9.5

9.4. Представление двоичных чисел различными формами кодов

Вычитание можно заменить сложением, если соответствующим образом преобразовать вычитаемое. Рассмотрим это сначала на десятичных числах. Пусть, к примеру, вычитаемое равно 17. Представим его в виде $-17 = -17 + 100 - 100 = 83 - 100 = \square 83$. Запись числа в форме $\square 83$ показывает, что оно содержит одну отрицательную сотню и 83 положительные единицы. Число 83 можно получить по следующим правилам:

- определить дополнение каждой цифры исходного числа 17 до наибольшей в разряде, т. е. до девяти. Результат подобного действия (в данном случае результат равен 82) называют дополнением до девяти, суммирование его с исходным числом дает в каждом разряде 9;
- прибавить к младшему разряду полученного числа единицу. Результат этого действия (в данном случае 83) называют дополнением до десяти, так как сумма каждой пары одноименных разрядов исходного числа (17), этого дополнения (83) и переноса в разряд десятков равна 10.

В соответствии с приведенными правилами записывается любое отрицательное десятичное число: оно представляется дополнением до 10 и знаковым разрядом (выходящим за разрядную сетку исходного числа), содержащим 1:

$$-4 = \boxed{1}6; -12 = \boxed{1}88; -126 = \boxed{1}874.$$

При записи положительного десятичного числа в знаковый разряд заносят 0 (признак отсутствия отрицательного слагаемого), а в цифровые разряды — число в его обычной форме.

Учитывая это представление отрицательных чисел, приведем несколько примеров на вычитание, заменяя его сложением.

Пример 9.1. Определить разность двух чисел A и B , если $A = 53$, $B = 17$. Представляя число -17 его дополнением до 10 (т. е. числом $\boxed{1}83$), имеем

$$\begin{array}{r} [A]_{\text{доп}} = \boxed{0}53 \\ + [B]_{\text{доп}} = +\boxed{1}83 \\ \hline [A+B]_{\text{доп}} = \boxed{0}36 \end{array}$$

В рассматриваемом примере фигурируют числа одинаковой разрядности (двухразрядные). Положительное уменьшаемое (53) представлено в обычной форме и дополнено знаковым разрядом, в котором записан нуль. Последний означает, что за пределами разрядной сетки числа (в данном случае в третьем разряде) не содержится отрицательное число (в данном случае -100). Нуль в знаковом разряде всегда является признаком положительного числа. Отрицательное вычитаемое (-17) представлено своим дополнением (83) и знаковым разрядом, в котором записана единица — признак отрицательного числа. В процессе сложения положительных чисел ($53 + 83 = 136$) образуется перенос $+1$ (число $+100$) в знаковый разряд, которая компенсирует -1 (число -100), поэтому результат оказался положительным (в его знаковом разряде 0). При положительном результате его величина выражается только цифровыми разрядами (в данном случае числом 36).

Как нетрудно заметить, знаковые разряды можно рассматривать как цифровые, их сложение производится по обычным правилам с учетом переноса из предыдущего разряда, но перенос из знакового разряда игнорируется. Действительно:

$$\begin{array}{r} \boxed{0}53 \\ + \boxed{1}83 \\ \hline \text{Перенос из знакового разряда} \longrightarrow \boxed{1}\boxed{0}36 \end{array}$$

Пример 9.2. Определить разность двух чисел A и B , если $A = 158$, $B = 12$:

$$\begin{array}{r}
 [A]_{\text{доп}} = \boxed{0}158 \\
 + \quad [B]_{\text{доп}} = \boxed{1}988 \\
 \hline
 [A+B]_{\text{доп}} = \boxed{1}\boxed{0}146
 \end{array}$$

↑ Перенос из знакового разряда

Особенностью данного примера является то, что фигурирующие в нем числа имеют разную разрядность. Для ее выравнивания число 12 представляется как 012, с учетом чего вычисляется его дополнение (988). Так как сумма $[A+B]_{\text{доп}}$ оказалась положительной (ноль в знаковом разряде), то результат непосредственно выражается цифровыми разрядами (146).

Пример 9.3. Определить разность двух чисел A и B , если $A = 12$, $B = 158$:

$$\begin{array}{r}
 [A]_{\text{доп}} = \boxed{0}012 \\
 + \quad [B]_{\text{доп}} = \boxed{1}842 \\
 \hline
 [A+B]_{\text{доп}} = \boxed{1}854
 \end{array}$$

В этом примере осуществляется выравнивание разрядности чисел и по известным правилам определяется результат ($\boxed{1}854$). Он представляется суммой чисел $+854$ и -1000 , т. е. числом -146 . Нетрудно заметить, что его абсолютную величину 146 можно получить, определяя дополнение до 1000 числа 854. Это правило распространяется на все числа, в знаковом разряде которых присутствует единица, т. е. на отрицательные числа.

Аналогично десятичным числам 0 и 1 в знаковом разряде представляются положительные и отрицательные двоичные числа. Это очень удобно, когда числа в такой форме обрабатываются компьютером.

Дополнение каждой цифры двоичного числа до наибольшей в разряде (в данном случае до 1) сводится просто к ее инвертированию: дополнением 1 является 0, а дополнением 0 — 1. Такое представление числа называют его обратным кодом или дополнением до 1.

Прибавлением 1 к младшему разряду обратного кода образуется дополнительный код числа — дополнение до двух. Эквивалентным представлением отрицательного двоичного числа является дополнительный код его абсолютной величины и

1 в знаковом разряде. Так, при $A = -12_{10} = -1100_2$ $[A]_{\text{обр}} = \overline{1}0011$, $[A]_{\text{доп}} = \overline{1}0100$. Легко проверить, что отрицательное число (-16) , соответствующее 1 в знаковом разряде $[A]_{\text{доп}}$, и положительное число $(+4)$ в цифровых разрядах образуют исходное число (-12) . Аналогично, при $B = -25_{10} = -11001_2$ $[B]_{\text{обр}} = \overline{1}00110$, $[B]_{\text{доп}} = \overline{1}00111$.

Для положительных чисел прямой, обратный и дополнительный коды совпадают. От изображения самого числа их отличает 0 в знаковом разряде. Так, если число $A = 18_{10} = 10010_2$, то $A_{\text{пр}} = A_{\text{обр}} = A_{\text{доп}} = \overline{0}10010$. Поэтому если в результате вычислений получается положительное число (0 в знаковом разряде), то для его изображения в обычной форме цифровые разряды не должны подвергаться никаким преобразованиям, так как в такой форме они уже число представляют.

С введением дополнительного кода вычитание можно заменить сложением. Как и в десятичной системе счисления, здесь знаковые разряды складываются аналогично цифровым, учитывается перенос в них из предыдущего разряда, а перенос из знакового разряда игнорируется.

Пример 9.4. Определить разность двух чисел A и B , если $A = 14_{10} = 1110_2$, $B = 9_{10} = 1001_2$:

$$\begin{array}{r}
 [A]_{\text{пр}} = [A]_{\text{обр}} = [A]_{\text{доп}} = \overline{0}1110 \\
 [B]_{\text{доп}} = B_{\text{обр}} + 1 = \overline{1}0110 + \overline{0}0001 = \overline{1}0111
 \end{array}
 +
 \begin{array}{r}
 [A]_{\text{доп}} = \overline{0}1110 \\
 [B]_{\text{доп}} = \overline{1}0111
 \end{array}$$

$$[A + B]_{\text{доп}} = \overline{1}\overline{0}010$$


 Перенос из знакового разряда

Присутствие 0 в знаковом разряде результата указывает на то, что $A - B > 0$, и результат представлен цифровыми разрядами в окончательном виде: $A - B = 0101_2 = 5_{10}$.

Пример 9.5. Определить разность двух чисел A и B , если $A = 9_{10} = 1001_2$, $B = 14_{10} = 1110_2$:

$$\begin{array}{r}
 [A]_{\text{доп}} = \overline{0}1001 \\
 [B]_{\text{доп}} = \overline{1}0001 + \overline{0}0001 = \overline{1}0010
 \end{array}
 +
 \begin{array}{r}
 [A]_{\text{доп}} = \overline{0}1001 \\
 [B]_{\text{доп}} = \overline{1}0010
 \end{array}$$

$$[A + B]_{\text{доп}} = \overline{1}1011$$

Единица в знаковом разряде свидетельствует о том, что разность $A - B < 0$. Ее абсолютную величину можно найти, определив дополнительный код числа 1011 в цифровых разрядах. Он ра-

вен увеличенному на 1 обратному коду: $0100 + 0001 = 0101$. Искомая разность $A - B = -0101_2 = -5_{10}$.

Приведем другой вариант решения заданных примеров, представив вычитаемое не в дополнительном, а в обратном коде.

Пример 9.6. Определить разность двух чисел A и B , если $A = 14_{10} = 1110_2$, $B = 9_{10} = 1001_2$:

$$\begin{array}{r} [A]_{\text{обр}} = \overline{0}1110 \\ [B]_{\text{обр}} = \overline{1}0110 \end{array} + \begin{array}{r} [A]_{\text{обр}} = \overline{0}1110 \\ [B]_{\text{обр}} = \overline{1}0110 \end{array} \\ \hline [A + B]_{\text{обр}} = \overline{1}0100$$

Правильный результат (0101) из примера 9.4 можно сформировать из полученного в примере 9.6, если 1 переноса из знакового разряда добавить к младшему разряду результата. Это правило является общим при использовании обратных кодов чисел, когда результат сложения $[A + B]_{\text{обр}} > 0$ (в знаковом разряде 0).

Отметим следующую особенность. Если $A > B$ ($A - B > 0$), то в процессе определения $[A + B]_{\text{обр}}$ имеет место перенос в знаковый разряд. Это объясняется тем, что сумма цифровых разрядов $B + [B]_{\text{обр}} = 111\dots 1$, откуда $[B]_{\text{обр}} = 111\dots 1 - B$, $[A + B]_{\text{обр}} = A + (111\dots 1 - B)$, т. е. при $A > B$ действительно происходит переполнение разрядной сетки, в которую вписаны цифровые разряды. Аналогичный перенос происходит и при вычислении $[A + B]_{\text{доп}}$, если $A > B$.

Пример 9.7. Определить разность двух чисел A и B , если $A = 9_{10} = 1001_2$, $B = 14_{10} = 1110_2$:

$$\begin{array}{r} [A]_{\text{обр}} = \overline{0}1001 \\ [B]_{\text{обр}} = \overline{1}0001 \end{array} + \begin{array}{r} [A]_{\text{обр}} = \overline{0}1001 \\ [B]_{\text{обр}} = \overline{1}0001 \end{array} \\ \hline [A + B]_{\text{обр}} = \overline{1}1010$$

Если инвертировать цифровые разряды этой суммы, то получится правильный результат ($A - B = -5 = -0101_2$), т. е. при использовании обратных кодов чисел результат, если он отрицателен, выражен в обратном коде.

Пример 9.8. Определить разность двух чисел A и B , если $A = -3_{10} = -011_2$, $B = -4_{10} = -100_2$:

$$\begin{array}{l} [A]_{\text{обр}} = \overline{1}100, [B]_{\text{обр}} = \overline{1}011, [A]_{\text{доп}} = \overline{1}100 + \overline{0}001 = \overline{1}101, \\ [B]_{\text{доп}} = \overline{1}011 + \overline{0}001 = \overline{1}100. \end{array}$$

Используем обратные коды чисел и учтем отрицательное значение числа B :

$$[A]_{\text{обр}} - [B]_{\text{обр}} = A_{\text{обр}} + [[B]_{\text{обр}}]_{\text{обр}} = A_{\text{обр}} + B_{\text{обр}} = \boxed{1}100 + \boxed{0}100 = 1\boxed{0}000.$$

Как уже отмечалось, при $[A + B]_{\text{обр}} > 0$ для получения разности $A - B$ надо к младшему цифровому разряду промежуточного результата прибавить 1 переноса из знакового разряда: $A - B = 000 + 001 = 001_2 = 1_{10}$.

С использованием дополнительных кодов A и B находим

$$\begin{aligned} [A]_{\text{доп}} - [B]_{\text{доп}} &= A_{\text{доп}} + [[B]_{\text{доп}}]_{\text{доп}} = \boxed{1}101 + (\boxed{0}011 + \boxed{0}011) = \\ &= \boxed{1}101 + \boxed{0}100 = 1\boxed{0}001 \end{aligned}$$

Поскольку результат получился положительным, то его истинная величина выражается цифровыми разрядами полученной суммы: $A - B = 001_2 = 1_{10}$. Приведем еще два примера, представляя числа в дополнительных кодах.

Пример 9.9. Определить сумму двух чисел A и B , если $A = -3_{10} = -011_2$, $B = -4_{10} = -100_2$:

$$\begin{array}{r} [A]_{\text{доп}} = \boxed{1}101 \\ [B]_{\text{доп}} = \boxed{1}100 \\ \hline [A + B]_{\text{доп}} = 1\boxed{1}001 \end{array}$$

Перенос из знакового разряда

Видно, что в процессе вычислений имел место перенос в знаковый разряд. Полученная сумма $A + B < 0$, для определения ее абсолютной величины надо найти дополнительный код числа полученных цифровых разрядов:

$$A + B = 110 + 001 = 111_2 = 7_{10}.$$

Пример 9.10. Определить сумму двух чисел A и B , если $A = -7_{10} = -111_2$, $B = -5 = -101_2$:

$$\begin{array}{r} [A]_{\text{доп}} = \boxed{1}001 \\ [B]_{\text{доп}} = \boxed{1}011 \\ \hline [A + B]_{\text{доп}} = 1\boxed{0}100 \end{array}$$

Перенос из знакового разряда

Нетрудно заметить, что получен неверный результат: сумма отрицательных чисел оказалась положительной (в знаковом разряде 0). Это объясняется тем, что результат не влез в разрядную сетку, в которую вписаны слагаемые. Действительно, по условию примера модуль $|A + B| = 12_{10} = 1100_2$ представляется

четырьмя двоичными разрядами, а для слагаемых зарезервировано три разряда. Признаком такого переполнения разрядной сетки для отрицательных чисел является отсутствие переноса в знаковый разряд и наличие переноса из него. Признаком переполнения разрядной сетки для положительных чисел является наличие переноса в знаковый разряд и отсутствие переноса из него. Эти знаки анализируются в ЭВМ для получения правильного результата.

Вернемся к примеру 9.10 и увеличим количество разрядов (например, до пяти), которыми представлены слагаемые. Тогда $A = -7_{10} = -00111_2$, $B = -5_{10} = -00101_2$:

$$\begin{array}{r}
 [A]_{\text{доп}} = \overline{0011001} \\
 [B]_{\text{доп}} = \overline{0011011} \\
 \hline
 [A + B]_{\text{доп}} = 1\overline{010100}
 \end{array}$$

Перенос из знакового разряда

Отметим, что теперь имеет место перенос в знаковый разряд; единица в нем свидетельствует об отрицательном знаке суммы $A + B$. Ее модуль $|A + B| = 01011 + 00001 = 01100_2 = 12_{10}$, что соответствует правильному результату.

Приведенные сведения о вычитании двоичных чисел, представленных в обратном и дополнительном кодах, позволяют проектировать вычитатели на базе сумматоров. На рис. 9.6 изображен сумматор, осуществляющий вычитание, который принято назы-

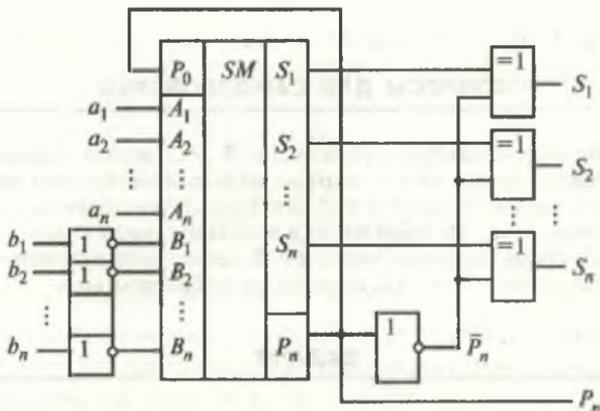


Рис. 9.6

вать субтрактор. Старшие разряды (a_n и b_n) чисел A и B — знаковые. С помощью инверторов число B представляется в обратном коде $[B]_{\text{обр}}$. Единица переноса, которая может формироваться на выходе переноса P_n из старшего разряда, соответствует переносу из знакового разряда. Выход P_n соединен со входом переноса P_0 в младший разряд (такой перенос называют циклическим).

Если $A > B$, то в результате сложения $A + [B]_{\text{обр}}$ на выходе P_n появляется 1 ($P_n = 1$, см. пример 9.6), которая поступает на вход P_0 , поэтому складываются числа $A + [B]_{\text{обр}} + 1 = A + [B]_{\text{доп}}$ и положительное число $A - B > 0$ появляется на выходах S_1, S_2, \dots, S_n в окончательной форме.

Если $A < B$, то $P_n = 0$, поэтому складываются числа A и $[B]_{\text{обр}}$, и разность $A - B < 0$ формируется на выходах S_1, S_2, \dots, S_n , в обратном коде. Инвертирование разрядов результата и формирование знака минус осуществляется в данном случае по сигналу $P_n = 0$. При $P_n = 0$ на один из входов каждого элемента «Исключающее ИЛИ» поступает лог. 1, из-за чего сигнал на его выходе S_i является инверсией сигнала на входе S_i .

При $P_n = 1$ ($A - B > 0$) $\overline{P_n} = 0$ и элементы «Исключающее ИЛИ» повторяют сигналы с выхода сумматора.

Вместо инверторов на входах сумматора (см. рис. 9.6) можно установить элементы «Исключающее ИЛИ», на один вход каждого из которых подавать разряды числа B , а на другой вход — управляющий сигнал Y . При $Y = 0$ эти элементы не инвертируют сигналы b_1, b_2, \dots, b_n и устройство работает как сумматор. При $Y = 1$ осуществляется вычитание чисел.

ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Найдите разницу двоичных чисел A и B , десятичные эквиваленты которых соответственно равны 18 и 7, выразив их в дополнительном коде.
2. Сложите двоичные числа A и B , десятичные эквиваленты которых соответственно равны 34 и -15 , выразив их в дополнительном коде.
3. Найдите сумму двоичных чисел A и B , десятичные эквиваленты которых соответственно равны -23 и -12 , выразив их в обратном коде.

ЗАДАЧИ

1. Составьте схему полусумматора на элементах базиса И, ИЛИ, НЕ и сравните ее с приведенной в тексте главы.

2. Составьте схему сумматора, способного реализовать сложение и вычитание многоразрядных чисел.

3. Составьте схему вычитателя для младших разрядов чисел.

ЛИТЕРАТУРА

1. *Зельдин Е.А.* Цифровые интегральные микросхемы в информационно-измерительной аппаратуре — Л.: Энергоатомиздат, 1986. С. 123—145.

2. *Потемкин И.С.* Функциональные узлы цифровой автоматики — М.: Энергоатомиздат, 1988. С. 121—132.

ГЛАВА 10

ЦИФРОАНАЛОГОВЫЕ И АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

10.1. Общие сведения

Напряжение на выходе цифроаналогового преобразователя (ЦАП) пропорционально «весу» установленного на входах кода. «Вес» кода на выходах аналого-цифрового преобразователя (АЦП) пропорционален входному напряжению.

Цифроаналоговые и аналого-цифровые преобразователи являются «перекидными мостами» между аналоговым и цифровым блоками устройства. Так, например, при регулировании температуры напряжение с выхода аналогового термодатчика подается на АЦП, и код с его выходов заносится в микропроцессор. Последний сравнивает его с двумя предварительно занесенными в память кодами, один из которых соответствует нижнему, а другой — верхнему допустимому пределу температуры. Если «температурный» код лежит вне дозванного диапазона, микропроцессор выставляет на входы ЦАП регулировочный код, и напряжение с выхода ЦАП приводит в действие серводвигатель, который через систему охлаждения/нагрева возвращает температуру в заданные пределы.



Рис. 10.1

Эта же система используется для измерения температуры, для чего код с выходов АЦП преобразуется в код семисегментного индикатора, который высвечивается в привычной десятичной системе счисления. Подробнее это будет рассмотрено в третьей части книги.

Основными параметрами рассматриваемых преобразователей являются точность, разрешающая способность и быстродействие. На рис. 10.1 приведена классификация ЦАП и АЦП, которые будут рассмотрены в данной главе.

10.2. Цифроаналоговые преобразователи

Цифроаналоговый преобразователь предназначен для преобразования цифрового сигнала в аналоговый. Иногда его называют преобразователем код-аналог.

Напряжение на выходе ЦАП будет наибольшим ($U_{\text{вых}} = U_{\text{max}}$), когда во всех разрядах входного кода присутствуют лог. 1, т. е. когда его «вес» Q максимальный: $Q_{\text{max}} = 2^n - 1$ (n — разрядность кода). Так, при $n = 4$ $Q_{\text{max}} = 15$ (код $N = 1111_2$). Считая зависимость $U_{\text{вых}}$ от Q линейной, можно записать приращение выходного напряжения на каждую единицу входного кода (от приращения кода на единицу в младшем разряде)

$$\Delta u = U_{\text{max}} / 2^n - 1.$$

Величину Δu называют квантом. Если, к примеру, $n = 3$, то квант $\Delta u = U_{\text{max}} / 7$.

По существу, диапазон выходного напряжения U_{max} разбивается входным кодом на ряд одинаковых интервалов, каждый из которых равен кванту Δu . Их границами являются квантованные уровни (Δu , $2\Delta u$, $3\Delta u$ и т. д.), о которых говорилось в п. 1.3.

Выходное напряжение «набирается» из квантов так же, как вес тела «набирается» из весовых единиц (например, граммов). Так как квант — наименьшая составляющая выходного напряжения, то последнее может быть равно только целому числу квантов. За счет этого погрешность квантования нельзя гарантировать меньшей кванта Δu .

Структура ЦАП обеспечивает передачу на выход столько квантов, каков «вес» входного кода. Если во всех разрядах кода присутствуют 0, то $U_{\text{вых}} = 0$. При наличии 1 только в первом (младшем) разряде на выход ЦАП выводится один квант ($U_{\text{вых}} = \Delta u$) —

минимальное приращение выходного напряжения ЦАП, вызванное увеличением входного кода на единицу в младшем разряде. При наличии 1 только во втором разряде на выход передаются 2 кванта, при наличии 1 только в третьем разряде — 4 кванта и т. д. Напряжение на выходе ЦАП при наличии 1 в нескольких разрядах входного кода является суммой напряжений, каждое из которых обусловлено 1 в соответствующем разряде. Величины этих составляющих относятся как «веса» 1 в разрядах кода. Так, к примеру, если на входах присутствует код 1011001, то напряжение на выходе ЦАП равно

$$1(64\Delta u) + 0(32\Delta u) + 1(16\Delta u) + 1(8\Delta u) + 0(4\Delta u) + 0(2\Delta u) + 1\Delta u = 89\Delta u.$$

Мгновенное напряжение на выходе ЦАП пропорционально «весу» присутствующего на входах кода, т. е. его десятичному эквиваленту. Сменяющиеся входные коды обуславливают изменяющееся напряжение на выходе ЦАП.

На рис. 10.2 изображена зависимость выходного напряжения ЦАП от величины кода на входах.



Рис. 10.2

10.2.1. Цифроаналоговые преобразователи с двоично-взвешенными резисторами

Указанное преобразование можно осуществить, если использовать двоично-взвешенные резисторы (2^0R , 2^1R , 2^2R , ..., $2^{n-1}R$); их сопротивления соотносятся как «веса» единиц в разрядах двоичного кода.

На рис. 10.3 изображена схема инвертирующего сумматора на операционном усилителе с такими резисторами. На подходящих к резисторам линиях имеются электрические потенциалы, соответствующие цифрам в разрядах кода, причем цифре 0 соответствует 0В, а цифре 1 — потенциал U^1 . Снизить потенциал U^0 до нулевого значения можно, установив перед резисторами

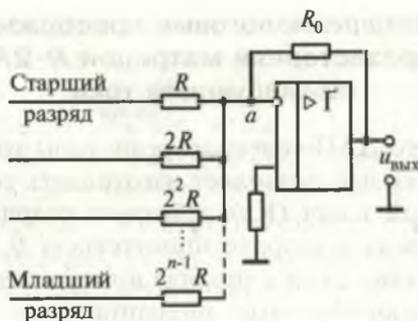


Рис. 10.3

матрицы диоды в пропускном направлении с напряжением отпирания, большим U^0 .

К резистору R подходит линия старшего разряда, а к резистору $2^{n-1}R$ — линия младшего разряда. При наличии 1 в старшем разряде кода ток через резистор R (точка a — «кажущаяся земля», ее потенциал весьма близок к нулю) равен U^1/R , при наличии 1 в следующем разряде ток через резистор $2R$ равен $U^1/(2R)$ и т. д., при наличии 1 в младшем разряде ток через резистор $2^{n-1}R$ равен $U^1/(2^{n-1}R)$.

Токи, обусловленные 1 в разрядах кода, суммируются на резисторе R_0 и создают на нем напряжение, пропорциональное R_0 и равное в общем случае

$$U_{\text{вых}} = \frac{U^1 R_0}{R} \left(a_{n-1} 1 + a_{n-2} \frac{1}{2} + a_{n-3} \frac{1}{2^2} + \dots + a_0 \frac{1}{2^{n-1}} \right),$$

где $a_{n-1}, a_{n-2}, \dots, a_0$ — цифры (1 или 0) в разрядах кода, начиная со старшего разряда a_{n-1} . Это выражение можно представить иначе:

$$U_{\text{вых}} = \frac{U^1 R_0}{R} 2^{-(n-1)} (a_{n-1} 2^{n-1} + a_{n-2} 2^{n-2} + \dots + a_1 2^1 + a_0) = \frac{2U^1 R_0}{2^n R} N.$$

Здесь N — записанная в скобках сумма — вес кода на входе.

Таким образом, напряжение на выходе ЦАП (см. рис. 10.3) пропорционально «весу» действующего на входе кода.

Достоинством рассмотренного ЦАП является простая и недорогая структура, а недостатком — необходимость тщательного отбора резисторов разных номиналов, с тем чтобы их сопротивления находились в должном соответствии, а также невозможность практически выдержать это соответствие в диапазоне температур.

10.2.2. Цифроаналоговые преобразователи с резисторной матрицей $R-2R$, суммирующей токи

Матрица такого ЦАП содержит резисторы только двух номиналов (рис. 10.4, а), что позволяет изготовлять ее много проще и точнее. На каждый ключ (Кл) действует разряд входного кода $a_{n-1}, a_{n-2}, \dots, a_0$. Когда в разряде присутствует 0, ток через ключ замыкается на землю. Если в разряде присутствует 1, то ток проходит к инвертирующему входу операционного усилителя (ОУ). В силу этого правые (по схеме) выводы резисторов $2R$ имеют нулевой потенциал: через ключи они подключены к земле или к инвертирующему входу ОУ, потенциал которого близок к нулю ($U_0 \approx 0$). Поэтому резистивную матрицу можно представить схемой, изображенной на рис. 10.4, б.

Рассматривая резистивную матрицу сверху вниз, легко заметить, что эквивалентное сопротивление элементов, расположенных выше каждой пары узлов $1-1', 2-2', \dots, n-n'$, равно $2R$. Поэтому в каждом узле притекающий к нему ток делится пополам, и токи по ветвям распределяются так, как показано на рис. 10.4, б, т. е. они соотносятся как «веса» разрядов двоичного кода.

Если в разрядах кода присутствуют 1, то ключи коммутируют токи соответствующих ветвей к неинвертирующему входу ОУ,

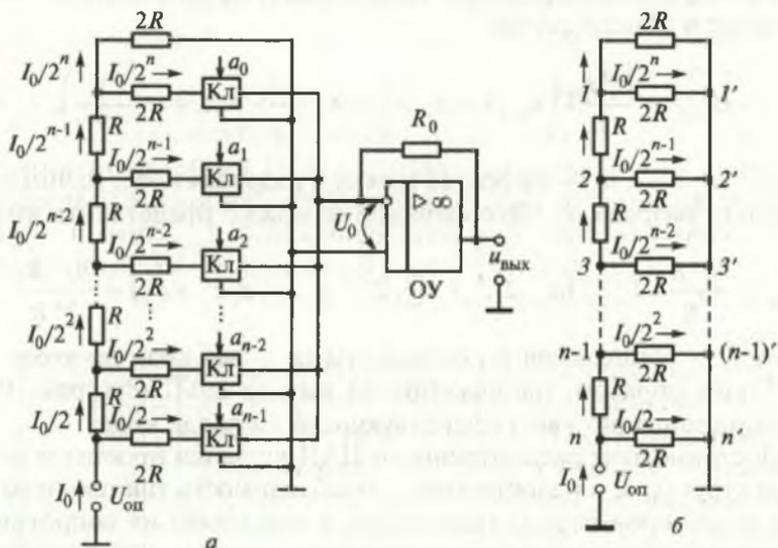


Рис. 10.4

где они складываются, и на резисторе R_0 (на выходе ЦАП) создают напряжение, эквивалентное «весу» действующего на входе кода. Заметим, что ОУ в данном случае осуществляет преобразование тока в напряжение.

Из схемы, представленной на рис. 10.4, а следует, что полное сопротивление между источником опорного напряжения $U_{он}$ и инвертирующим входом ОУ (точкой, имеющей нулевой потенциал) равно R и не зависит от числа 1 в разрядах кода. Отсюда следует, что ток на входе матрицы $I_0 = U_{он}/R$, а коэффициент усиления ОУ $K = R_0/R$. Поскольку в каждом узле ток делится пополам, то через ключ, на который воздействует младший разряд кода, проходит ток (см. рис. 10.4, а) $I_1 = I_0/2^n = U_{он}/(R \cdot 2^n)$ (n — число разрядов преобразователя). Его вклад в выходное напряжение ЦАП, т. е. напряжение от 1 в младшем разряде кода

$$\Delta U = (U_{он}/R \cdot 2^n) R_0 = U_{он} K/2^n,$$

а полное напряжение на выходе ЦАП

$$u_{вых} = \Delta U (a_{n-1} \cdot 2^{n-1} + a_{n-2} \cdot 2^{n-2} + \dots + a_1 \cdot 2 + a_0) = U_{он} KN/2^n, \quad (10.1)$$

где $a_{n-1} \cdot 2^{n-1} + a_{n-2} \cdot 2^{n-2} + \dots + a_1 \cdot 2 + a_0 = N$ — «вес» входного кода в десятичном счислении.

Если во всех разрядах кода 1, то $N = 2^n - 1$. При этом выходное напряжение

$$u_{вых} = U_{он} K(2^n - 1)N/2^n = U_{он} K(1 - 2^{-n}) \approx U_{он} K.$$

Условное изображение ЦАП с основными выводами приведено на рис. 10.5.

Из выражения (10.1) следует, что выходное напряжение ЦАП (см. рис. 10.4, а) пропорционально произведению $U_{он} N$. Если источник $U_{он}$ является внешним, то ЦАП можно использовать в перемножающих устройствах, где один сомножитель представляет собой значение опорного напряжения $U_{он}$, другой — устанавливаемый на входе код N , а произведение — выходное напряжение ЦАП. Такие ЦАП называют *перемножающими*.

По сравнению с ЦАП с матрицей двоично-взвешенных резисторов (см. рис. 10.3) рассмотренный ЦАП (см. рис. 10.4) характеризуется большей точностью: выдержать соотношение резисторов только двух номиналов (R и $2R$) значительно проще, чем n номиналов в сравниваемом преобразователе. При этом из-за наличия прецези-

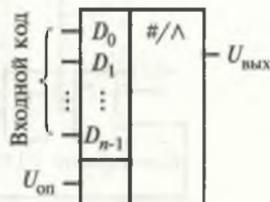


Рис. 10.5

онных аналоговых ключей он существенно дороже и структура его сложнее.

10.3. Аналого-цифровые преобразователи

Аналого-цифровой преобразователь преобразует аналоговый сигнал в цифровой. Рассмотрим некоторые типы АЦП.

10.3.1. Аналого-цифровой преобразователь последовательного счета

Принцип работы АЦП последовательного счета сводится к следующему. Счетные импульсы заполняют счетчик, на выходе которого формируется код с нарастающим «весом». Этот код поступает на ЦАП, напряжение на выходе которого увеличивается. Когда оно чуть превысит напряжение, присутствующее в данный момент на входе, доступ импульсов к счетчику прекращается. Код, установившийся при этом на выходах счетчика, является цифровым эквивалентом напряжения на выходе ЦАП, а следовательно, и напряжения выборки входного напряжения $U_{вх}$.

Схема, реализующая описанный принцип АЦП последовательного счета, изображена на рис. 10.6, а. Преобразование начинается с обнуления счетчика импульсом генератора тактовых импульсов (ГТИ). Период следования этих импульсов является периодом дискретизации входного аналогового напряжения. После обнуления счетчика напряжение на выходе ЦАП становится равным нулю. При этом на выходе компаратора появляется лог. 1, обеспечиваю-

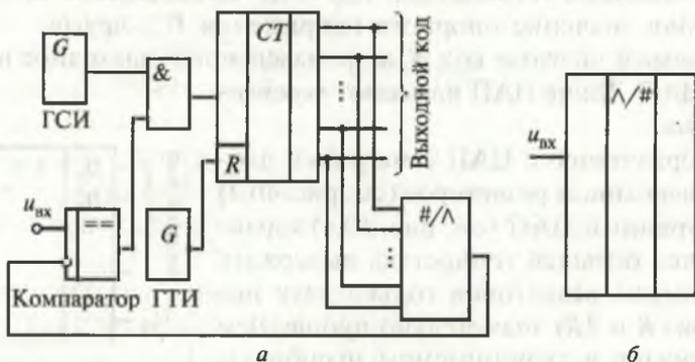


Рис. 10.6

щая поступление импульсов от генератора счетных импульсов (ГСИ) через элемент И на счетчик. Когда напряжение на выходе ЦАП станет практически равным $U_{\text{вх}}$, компаратор переключится и лог. 0 на его выходе разъединит ГСИ и счетчик. Таким образом, в промежуток времени с момента окончания импульса ГТИ, обнулившего счетчик, до завершения преобразования осуществляется оцифровка выборки входного напряжения.

Заметим, что с поступлением на счетчик каждого импульса (с увеличением выходного кода на единицу) напряжение на выходе ЦАП увеличивается на один квант, так что $U_{\text{вых.ЦАП}}$ содержит целое число квантов, которым оно уравнивает $U_{\text{вх}}$. Поэтому нельзя гарантировать, что такое уравнивание может иметь ошибку, меньшую одного кванта, что соответствует ошибке на единицу в младшем разряде выходного кода.

Условное изображение АЦП приведено на рис. 10.6, б, где для общности показаны только входной и выходные выводы.

10.3.2. Времяимпульсный аналого-цифровой преобразователь

Времяимпульсный метод преобразования заключается в том, что входному напряжению $U_{\text{вх}}$ ставится в соответствие временной интервал, длительность которого пропорциональна $U_{\text{вх}}$. Этот интервал заполняется импульсами стабильной частоты, число которых и представляет цифровой эквивалент преобразуемого напряжения. Схема, реализующая указанный принцип, изображена на рис. 10.7, а. Импульс с выхода генератора тактовых импульсов ГТИ (импульсов дискретизации) обнуляет счетчик, запускает генератор линейно изменяющегося напряжения (ГЛИН) и переключает триггер в состояние $Q = 1$. Сигналом $Q = 1$ ГСИ через элемент И подключается к счетчику. Когда нарастающее напряжение ГЛИН станет равным выборке преобразуемого напряжения $U_{\text{вх}}$, на выходе компаратора появится лог. 1, которая переключит триггер в состояние $Q = 0$ и прервет связь ГСИ со счетчиком. Код, установившийся на выходе счетчика, — цифровой эквивалент выборки $U_{\text{вх}}$. Следующая выборка задаст свой код на выходах счетчика.

Чтобы обеспечить линейность нарастания напряжения $U_{\text{глин}}$, заряд конденсатора в генераторах ГЛИН должен осуществляться током неизменной величины, что обеспечивается специальными схемами стабилизации.

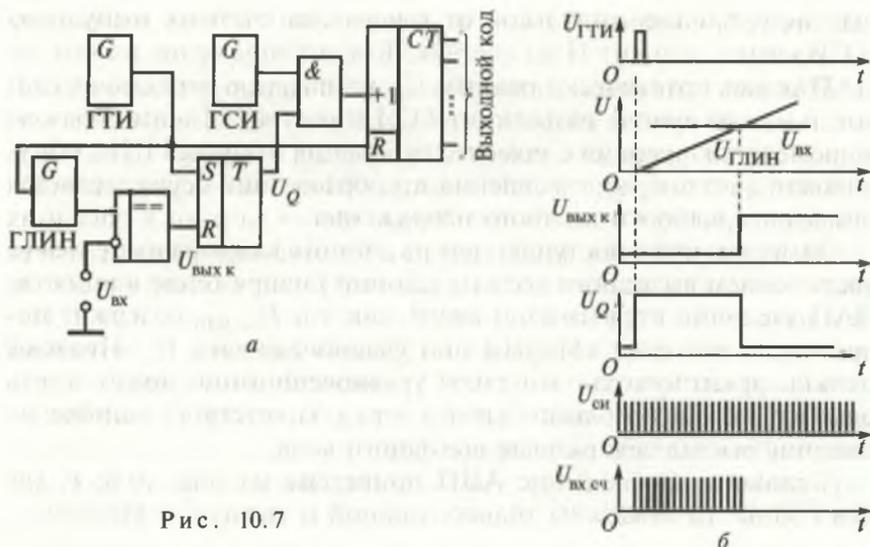


Рис. 10.7

Временные диаграммы, представленные на рис. 10.7, б иллюстрируют описанные процессы. На выходе триггера формируются «временные ворота». Начало их соответствует тактовому импульсу с ГТИ, а конец — появлению лог. 1 на выходе компаратора, когда наступает равенство напряжений ГЛИН и выборки. Таким образом, длительность «временных ворот» пропорциональна текущему значению входного напряжения. «Временные ворота» заполняются счетными импульсами стабильной частоты, поэтому их число пропорционально значению текущей выборки $U_{\text{вх}}$. Только в частном случае во «временные ворота» может точно уложиться целое число периодов $T_{\text{сч}}$ счетных импульсов ГСИ. Может оказаться, что между последним вошедшим в ворота импульсом и границей ворот будет интервал, почти равный $T_{\text{сч}}$, т. е. следующий импульс генератора будет чуть правее конечной границы ворот (см. рис 10.7, б) и не поступит на счетчик. Поэтому нужно считаться с тем, что выходной код времяимпульсного преобразователя может иметь погрешность в одну единицу (единицу в младшем разряде).

10.3.3. Кодоимпульсный аналого-цифровой преобразователь

В описанных АЦП цифры (0 или 1) в разрядах выходного кода могут в процессе преобразования многократно изменяться,

так как устанавливаются в ходе постепенного накопления числа в счетчике.

При рассматриваемом преобразовании формируемый код последовательно приближается к своему полному выражению: вначале определяется цифра в старшем n -м разряде, затем в $(n - 1)$ -м и т. д. до младшего разряда. Такое формирование основано на свойствах натурального двоичного кода: «веса» единиц в соседних разрядах отличаются вдвое; единица в старшем разряде имеет «вес», больший половины «веса» всего кода; единица в соседнем разряде — больший четверти «веса» всего кода, и т. д. Например, «вес» кода 1111, равен 15; «вес» единицы в четвертом разряде равен 8, что больше $0,5 \cdot 15$; «вес» единицы в третьем разряде равен 4, что больше $0,25 \cdot 15$, и т. д. Поэтому для определения цифры в старшем разряде формируемого кода надо сравнить выборку $U_{\text{вх}}$ с $0,5U_{\text{max}}$ — половиной максимального для данного АЦП значения $U_{\text{вх}}$. Если окажется, что $u_{\text{вх}} < 0,5U_{\text{max}}$, то в старшем разряде кода установится 0, и дальнейшее сравнение $u_{\text{вх}}$ надо производить с $0,25U_{\text{max}}$. Если же $u_{\text{вх}} > 0,5U_{\text{max}}$, то в старшем разряде кода установится 1; при этом последующее сравнение следует производить с $(1/2 + 1/4)U_{\text{max}}$ и т. д.

На рис. 10.8 изображена схема устройства, реализующая рассмотренный принцип. Код, соответствующий выборке входного

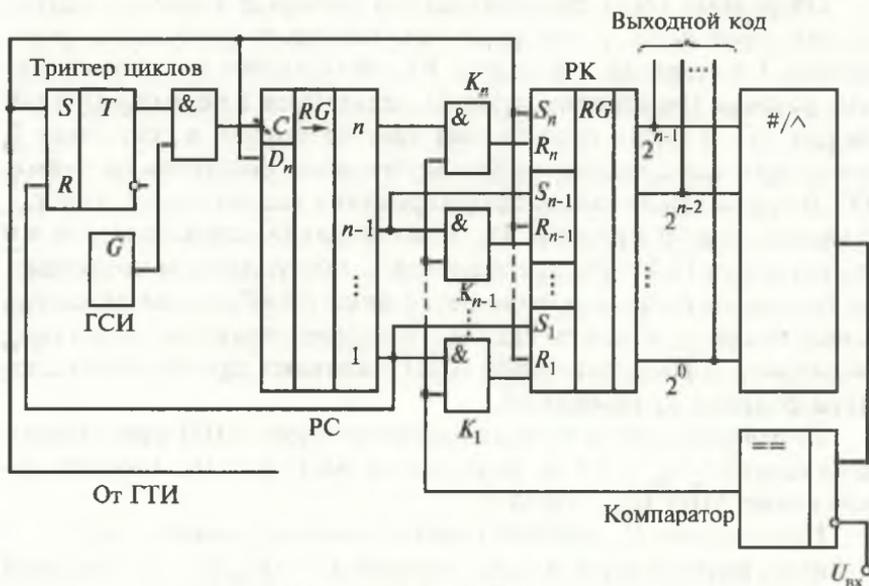


Рис. 10.8

аналогового сигнала, формируется на выходах регистра кода РК. В каждый разряд этого регистра, начиная со старшего разряда, по входам S последовательно заносится лог. 1 с соответствующего выхода сдвигового регистра РС. Одновременно она поступает на верхний (по схеме) вход конъюнктора K , принадлежащий данному разряду РК. Каждая занесенная лог. 1 «испытывается» на соответствие выборке входного сигнала. Для этого код с выходов РК в процессе формирования преобразуется ЦАП в напряжение ($u_{\text{ЦАП}}$), которое сравнивается на аналоговом компараторе с выборкой преобразуемого напряжения $U_{\text{вх}}$. Если $u_{\text{вх}} > u_{\text{ЦАП}}$, то на выходе компаратора присутствует лог. 0, и после конъюнкторов $K_n - K_1$ на входах R регистра РК — лог. 0, которыми разряды РК не сбрасываются: в проверяемом разряде остается записанной 1. Если $U_{\text{вх}} < u_{\text{ЦАП}}$, то на выходе компаратора присутствует лог. 1, т. е. на обоих входах конъюнктора проверяемого разряда лог. 1, которыми этот разряд сбрасывается в 0, остальные разряды кода сохраняются.

Лог. 1 на выходах РС появляется поочередно: на выходе n — с приходом тактового импульса (импульса дискретизации входного аналогового сигнала) на вход D_n , на выходах $n - 1, n - 2, \dots$ — в момент окончания сдвигающего импульса на динамическом входе C .

Очередной цикл преобразования выборки входного напряжения начинается с поступлением тактового импульса; кроме записи 1 в старший n -й разряд РК он обнуляет все его остальные разряды (по второму входу R), записывает 1 по входу D_n в n -й разряд РС, а также переключает триггер циклов в состояние 1, после чего сдвигающие импульсы начинают поступать на C -вход РС. В конце цикла (после сформирования выходного кода) лог. 1 с выхода первого разряда РС триггер цикла переключается в 0 и цепь связи ГСИ—РС прерывается. С поступлением следующего тактового импульса начинается цикл преобразования следующей выборки входного сигнала. В соответствии с методом преобразования рассмотренный АЦП называют преобразователем поразрядного кодирования.

Определим код на выходе рассмотренного АЦП при следующих данных: $U_{\text{вх}} = 8,5$ В, разрядность АЦП $n = 10$, опорное напряжение АЦП $U_{\text{оп}} = 10,24$ В.

Напряжение $U_{\text{оп}}$ делится квантованными уровнями на $2^n - 1$ квантов, величина каждого из которых $\Delta U = U_{\text{оп}}/2^n - 1$. В данном случае $\Delta U = 10,24/1024 - 1 \approx 10,24/1024 = 10$ мВ. Такое прираще-

ние $\Delta U_{\text{ЦАП}}$ выходное напряжение ЦАП (в структуре АЦП) получает от приращения входного кода на 1 (от 1 в младшем разряде кода). Приращение напряжения $U_{\text{ЦАП}}$ от 1 в k -м разряде равно величине кванта (в данном случае 10 мВ), умноженной на «вес» 1 в этом разряде.

Ниже приведены «вес» 1 в разрядах 10-разрядного кода и напряжение, которое она добавляет к $U_{\text{ЦАП}}$:

№ разряда	«Вес» единицы	$\Delta U_{\text{кв}}$, В
10	512	5,12
9	256	2,56
8	128	1,28
7	64	0,64
6	32	0,32
5	16	0,16
4	8	0,08
3	4	0,04
2	2	0,02
1	1	0,01

В соответствии с алгоритмом работы кодоимпульсного АЦП проведем сравнение $U_{\text{вх}}$ со значениями $\Delta U_{\text{ЦАП}}$, компенсирующими напряжением $U_{\text{вх}}$. Если $U_{\text{вх}} > U_{\text{ЦАП}}$, то против соответствующего неравенства будет проставлена 1:

$8,5 > 5,12$	1
$8,5 > 5,12 + 2,56 = 7,68$	1
$8,5 < 7,68 + 1,28 = 8,96$	0
$8,5 > 7,68 + 0,64 = 8,32$	1
$8,5 < 8,32 + 0,32 = 8,64$	0
$8,5 > 8,32 + 0,16 = 8,48$	1
$8,5 < 8,48 + 0,08 = 8,56$	0
$8,5 < 8,48 + 0,04 = 8,52$	0
$8,5 = 8,48 + 0,02 = 8,50$	1

Таким образом, код на выходах АЦП $N = 1101010010_2 = 850_{10}$. Учитывая, что каждая 1 кода соответствует кванту в 10 мВ, фиксируем входное напряжение равным 8,5 В.

10.3.4. Аналого-цифровой преобразователь двойного интегрирования

В таких АЦП процесс преобразования имеет две стадии. На первой стадии в течение фиксированного временного интервала T_1 интегрируется входное напряжение $U_{\text{вх}}$. Чем оно больше, тем большего значения достигает напряжение на конденсаторе C интегратора за время T_1 . При этом конденсатор заряжается через резистор R_1 неизменным током $I_3 = U_{\text{вх}}/R_1$, получая заряд

$$Q_3 = U_{\text{вх}} T_1 / R_1.$$

На второй стадии на интегратор подается опорное напряжение $U_{\text{оп}}$ с полярностью, обратной полярности $U_{\text{вх}}$, и конденсатор интегратора через резистор R_2 разряжается неизменным током $I_p = U_{\text{оп}}/R_2$. Как только напряжение на интеграторе достигает нулевого значения, элементы схемы прекращают вторую стадию — преобразование закончено. В течение второй стадии конденсатор интегратора теряет заряд

$$Q_p = U_{\text{оп}} T_2 / R_2,$$

где T_2 — продолжительность второй стадии, за которую конденсатор разряжается до 0.

Поскольку на первой стадии конденсатор заряжался от нуля до некоторого значения, пропорционального $U_{\text{вх}}$, а на второй стадии от этого значения разряжался до 0, то приобретенный и потерянный заряды равны:

$$U_{\text{вх}} T_1 / R_1 = U_{\text{оп}} T_2 / R_2,$$

$$U_{\text{вх}} = U_{\text{оп}} T_2 R_1 / T_1 R_2.$$

Таким образом, входное преобразуемое напряжение $U_{\text{вх}}$ пропорционально длительности второй стадии.

Фиксированный интервал T_1 задается с помощью счетчика, который из обнуленного состояния к началу первой стадии заполняется импульсами тактового генератора с периодом T_T , и в момент его переполнения (обнуления) эта стадия заканчивается, т. е.

$$T_1 = T_T N_{\text{max}},$$

где N_{max} — максимальное число, которое может вместить счетчик.

В интервале T_2 на этот счетчик поступают импульсы того же генератора до тех пор, пока напряжение на выходе интегратора не станет равным 0. Поэтому при N импульсах, поступивших на счетчик во второй стадии,

$$T_2 = NT_T \text{ и } U_{\text{вх}} = U_{\text{оп}} T_2 R_1 / T_1 R_2 = U_{\text{оп}} NT_T R_1 / T_1 N_{\text{max}} R_2 = U_{\text{оп}} NR_1 / N_{\text{max}} R_2.$$

Поскольку $U_{\text{оп}}$, R_1 , R_2 и N_{max} являются постоянными параметрами схемы, то входное преобразуемое напряжение выражается числом импульсов N , поступивших на счетчик во второй стадии.

Если длительность T_1 первой стадии выбрать кратной периоду напряжения питающей сети, то результат его интегрирования будет равен 0, т. е. сетевая помеха будет отсутствовать.

Структурная схема АЦП двойного интегрирования приведена на рис. 10.9. На первой стадии (продолжительностью T_1) устройство управления (УУ), воздействуя на переключатель, подключает к интегратору входное напряжение и открывает доступ импульсов тактового генератора (ГТИ) к счетчику времени первой стадии. Когда в этот счетчик будет занесено число, соответствующее времени T_1 , он даст сигнал на устройство управления, которое подключит к интегратору опорное напряжение $U_{\text{оп}}$ и даст разрешение на подключение ГТИ к счетчику результата измерения. После этого конденсатор интегратора будет разряжаться, и когда напряжение на его выходе окажется практически равным нулю, УУ разъединит ГТИ и счетчик результата измерения. Занесенное в него число будет пропорционально входному напряжению.

Нестабильность частоты тактового генератора (если только частота не меняется во время преобразования) не влияет на точность: в выражении $U_{\text{вх}}$ период T_T не входит. Однако АЦП двойного интегрирования не отличается высоким быстродействием, что связано с наличием временных стадий T_1 и T_2 , в течение которых осуществляется интегрирование.

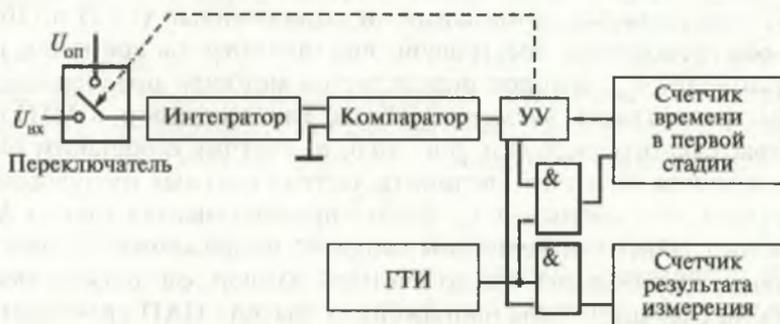


Рис. 10.9

10.4. Параметры аналого-цифрового и цифроаналогового преобразователей

К основным параметрам АЦП и ЦАП следует отнести максимальное напряжение U_{\max} (входное — для АЦП и выходное — для ЦАП), число разрядов кода n , разрешающую способность и погрешность преобразования.

Разрешающая способность. Разрешающая способность ЦАП представляет собой приращение выходного напряжения от приращения входного кода на единицу в младшем разряде. Это наименьшее приращение (квант — Δu), какое может получить напряжение на выходе ЦАП. Выше было показано, что его значение

$$\Delta u = U_{\text{оп}} / 2^n - 1, \quad (10.2)$$

где $2^n - 1$ — максимальный «вес» входного кода; n — разрядность ЦАП.

Так, при $U_{\text{оп}} = 10,24$ В и $n = 12$ $\Delta u = 10,24 / (2^{12} - 1) \approx 2,5$ мВ.

Чем больше число разрядов кода n , тем меньше Δu и тем точнее выходное напряжение представляет входной код.

Относительное значение разрешающей способности

$$\delta = \Delta u / U_{\text{оп}} = 1 / 2^n - 1. \quad (10.3)$$

Для АЦП тот же параметр представляет собой приращение входного напряжения, которое вызывает приращение выходного кода на единицу в младшем разряде. Меньшее приращение входного напряжения АЦП не почувствует, т. е. квант Δu — наименьшее приращение входного напряжения, различимое АЦП. В соответствии с этим разрешающую способность отождествляют с чувствительностью АЦП. Численно разрешающая способность для АЦП определяется приведенными выражениями (10.2) и (10.3).

Быстродействие. Быстродействие оценивается временем преобразования $t_{\text{пр}}$, которое определяется методом преобразования и быстродействием элементной базы. Так, например, в АЦП последовательного счета (см. рис. 10.6, а) счетчик с большим быстродействием позволит увеличить частоту счетных импульсов генератора, что уменьшит $t_{\text{пр}}$. Время преобразования такого АЦП линейно зависит от величины входного напряжения $U_{\text{вх}}$: чем оно больше, тем большее число счетных импульсов должно поступить на счетчик, чтобы напряжение с выхода ЦАП уравновесило входное напряжение. Если $U_{\text{вх}}$ имеет значение, равное максимальному входному напряжению для данного АЦП, то за время

$t_{\text{пр}}$ на счетчик поступит $2^n - 1$ импульсов с периодом $T_{\text{сч}}$ и время преобразования составит

$$t_{\text{пр}} = (2^n - 1) T_{\text{сч}}.$$

При больших входных напряжениях большим быстродействием обладают кодоимпульсные АЦП.

Выбор ЦАП может, в частности, производиться по значению $t_{\text{пр}}$: за время $t_{\text{пр}}$ код на входе не должен, например, измениться более, чем на единицу в младшем разряде.

АЦП с большим временем преобразования не может работать с быстро изменяющимся входным напряжением, так как последнее за время $t_{\text{пр}}$ может измениться.

Для АЦП период дискретизации T_d следует выбирать больше $t_{\text{пр}}$: $T_d > t_{\text{пр}}$, т. е. между скоростью преобразования $1/t_{\text{пр}}$ и частотой дискретизации ($F_d = 1/T_d$) должно соблюдаться соотношение $1/t_{\text{пр}} > F_d$. С другой стороны, по теореме В.А. Котельникова F_d связана с наивысшей частотой f_{max} в спектре непрерывного входного сигнала неравенством $F_d \geq 2f_{\text{max}}$. Поэтому АЦП должен иметь время преобразования $t_{\text{пр}} < 1/2f_{\text{max}}$.

Наибольшим быстродействием обладают АЦП с параллельным преобразованием, в котором входное напряжение сравнивается одновременно с $2^n - 1$ уровнями, для чего структура преобразователя, кроме прочего, содержит $2^n - 1$ аналоговых компараторов и приоритетный шифратор. Во избежание усложнения структуры такого преобразователя число его разрядов не должно быть большим (в 8-разрядном АЦП количество компараторов составляет $2^8 - 1 = 255$), что дополнительно снижает возможную точность преобразования.

Погрешность преобразования. Погрешность преобразования имеет статическую и динамическую составляющие. Статическая составляющая включает в себя методическую погрешность квантования, или дискретности, и инструментальную погрешность от неидеальности элементов преобразователей. Погрешность квантования Δ_k обусловлена самим принципом представления непрерывного сигнала квантованными уровнями, отстоящими друг от друга на выбранный интервал. Эта погрешность рассмотрена выше. Для ее уменьшения напряжение на входе (для АЦП) и на выходе (для ЦАП) исходно смещают на половину кванта. При этом погрешность квантования составляет половину разрешающей способности, и в общем случае

$$\Delta_k = \pm 0,5\Delta u; \quad \delta = \pm 0,5/2^{n-1}.$$

Инструментальная погрешность не должна превышать погрешность квантования. При этом полная абсолютная и относительная статические погрешности соответственно равны

$$\Delta_x = \pm \Delta u \quad \delta = \pm 1/2^{n-1},$$

что соответствует разрешающей способности преобразователя.

Динамическая составляющая погрешности связана с быстрым действием преобразователя (с временем преобразования $t_{пр}$) и скоростью изменения входного сигнала (ν). Чем меньше $t_{пр}$ и ν , тем меньше эта составляющая. При большом $t_{пр}$ необходимо увеличивать период T_d , чтобы избежать значительных динамических искажений. Для уменьшения динамических искажений обычно выбирают АЦП с таким временем преобразования $t_{пр}$, за которое входной сигнал изменяется не более, чем на разрешающую способность $\Delta u = U_{он} / (2^n - 1)$.

ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ

1. Определите значение напряжения (в вольтах) на выходе 8-разрядного ЦАП с матрицей $R-2R$ и опорным напряжением $U_{он} = 10,24$ В, если «вес» входного кода равен 64.
2. Определите наименьшее приращение выходного напряжения (в милливольт), различаемое 10-разрядным ЦАП с матрицей $R-2R$, опорное напряжение которого $U_{он} = 10,24$ В.
3. Определите число милливольт, равное разрешающей способности 10-разрядного АЦП с опорным напряжением $U_{он} = 10,24$ В.

ЗАДАЧИ

1. Определите код на выходах времяимпульсного АЦП, если $U_{вх} = 2,5$ В, скорость нарастания «пилы» $\nu = 1$ В/мкс, а частота импульсов, заполняющих «временные ворота», составляет 20 МГц.
2. Определите число, на которое нужно умножить выходной код АЦП, если его опорное напряжение составляет 1/3 от номинального.

УКАЗАНИЯ К ВОПРОСАМ И ЗАДАЧАМ

К вопросу 1. Определите выходное напряжение от единицы в младшем разряде входного кода.

К вопросу 2. Вспомните, на какое значение должен измениться входной код ЦАП, чтобы изменение его выходного напряжения оказалось минимальным.

К вопросу 3. Определите число интервалов, на которое 10-разрядный код разобьет опорное напряжение, и «ширину» каждого интервала.

К задаче 1. По скорости нарастания «пилы» и величине $U_{\text{вх}}$ определите длительность «временных ворот».

К задаче 2:

1) вспомните, откуда снимается напряжение, которое уравнивает преобразованное входное напряжение;

2) какие физические величины определяют напряжение на выходе ЦАП в структуре АЦП.

ЛИТЕРАТУРА

1. *Калабеков Б.А.* Цифровые устройства и микропроцессорные системы — М.: Телеком, 2000. С.156—172.
2. *Федорков Б.Г., Телец В.А.* Микросхемы ЦАП и АЦП: функционирование, параметры, применение. — М: Энергоатомиздат, 1990.
3. *Фролкин В.Т., Попов Л.Н.* Импульсные и цифровые устройства. — М.: Радио и связь, 1992. С.280—284.

ГЛАВА 11

ПОЛУПРОВОДНИКОВЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

11.1. Общие сведения

Запоминающие устройства (ЗУ) предназначены для хранения информации, выраженной двоичными числами. Такая информация заносится (записывается) в ЗУ и в нужные моменты из него выбирается (считывается). На рис. 11.1 приведена классификация ЗУ, которые будут рассмотрены в данной главе.

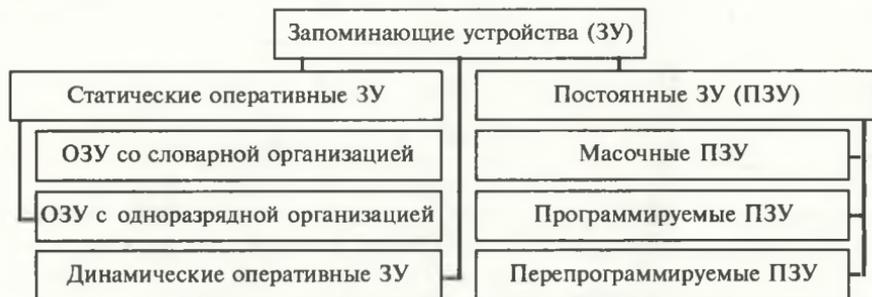


Рис. 11.1

Запоминающее устройство — один из основных функциональных блоков электронных вычислительных машин; в нем хранятся числа, над которыми должны быть произведены определенные действия, и числа, которые являются кодами команд, определяющие характер этих действий. Используемые вначале исключительно в ЭВМ, запоминающие устройства в настоящее время широко применяют в автоматике, радиолокации, телевидении, устройствах связи, измерительной технике, бытовых электронных приборах.

По характеру и использованию записанной информации различают оперативные (ОЗУ) и постоянные (ПЗУ) ЗУ. К оперативным ЗУ относятся запоминающие устройства с относительно кратковременным хранением часто сменяющейся информации. В процессе работы информация в них периодически заносится и

считывается. Постоянные запоминающие устройства используются для хранения программ, по которым многократно будет работать ЭВМ, стандартных программ (например, для вычисления тригонометрических функций), ряда встречающихся в расчетах констант и т. д. В процессе работы предварительно занесенная в них информация только считывается.

Запоминающее устройство состоит из запоминающего массива и электронного обрамления. Запоминающий массив (накопитель) содержит запоминающие элементы (ЗЭ), каждый из которых может принимать состояния лог. 1 или лог. 0, т. е. хранить один бит информации. (Бит — минимальное количество информации, соответствующее одному из двух равновероятных событий.) В запоминающем элементе хранится один разряд записанного двоичного слова; все n -разрядное слово заносится в ЗЭ, составляющих ячейку памяти.

По способу объединения ЗЭ в накопителе различают словарную и одноразрядную организацию ОЗУ. При одноразрядной организации в микросхему ОЗУ можно записать один разряд каждого слова, а для записи многоразрядного слова используется столько микросхем, какова разрядность слова. При словарной организации обмен с ОЗУ осуществляется сразу всем словом. Подробнее об этом будет сказано ниже.

По типу ЗЭ ОЗУ делят на статические и динамические. Статическим ЗЭ является триггер, динамическим — емкость между элементами МОП-транзистора. Заряд этой емкости соответствует одному состоянию ЗЭ, отсутствие заряда — другому состоянию. Поскольку емкость постоянно разряжается, то динамическая память нуждается в систематической регенерации (восстановлении), осуществляемой специальным устройством — контроллером регенерации с периодом в несколько миллисекунд. В ряде случаев этот недостаток компенсируется большим достижимым объемом памяти в кристалле и значительно меньшим потреблением энергии по сравнению со статическими ОЗУ, но и меньшим быстродействием.

Постоянные ЗУ делят на масочные (ПЗУ), информация в которые раз навсегда заносится на заводе-изготовителе, однократно программируемые пользователем (ППЗУ) и многократно программируемые (репрограммируемые — РПЗУ).

Электронное обрамление содержит, в частности, внутренний дешифратор адреса и усилители записи и считывания. Код адреса (номер запоминающей ячейки), поступающий на входы де-

шифратора, возбуждает один из его выходов: этим разрешается запись слова в определенные ЗЭ или считывание из них.

Из многих параметров ЗУ отметим информационную емкость, быстродействие, разрядность и потребляемую мощность. Информационная емкость определяется количеством ЗЭ накопителя и оценивается числом бит хранимой информации. Более крупными единицами емкости являются байт (8 бит), килобит (Кбит = 2^{10} = 1024 бит), килобайт (1024 8 бит), мегабит (Мбит = 2^{20} бит), мегабайт (2^{20} 8 бит). В качестве иллюстрации на рис. 11.2 изображена накопительная матрица на четыре 4-разрядных слова, т. е. емкостью 16 бит.

Быстродействие ЗУ оценивается временем цикла записи $t_{\text{цз}}$ — минимально допустимым временем между двумя последовательными записями в ЗУ, и временем выборки $t_{\text{б}}$ — интервалом времени между подачей сигнала выборки и появлением считанных данных на выходе.

11.2. Адресное пространство системы

Модуль ЗУ может содержать несколько микросхем ОЗУ и ПЗУ. Его предельная емкость определяется числом адресных линий (разрядностью адресного кода) или, как говорят, шириной ад-

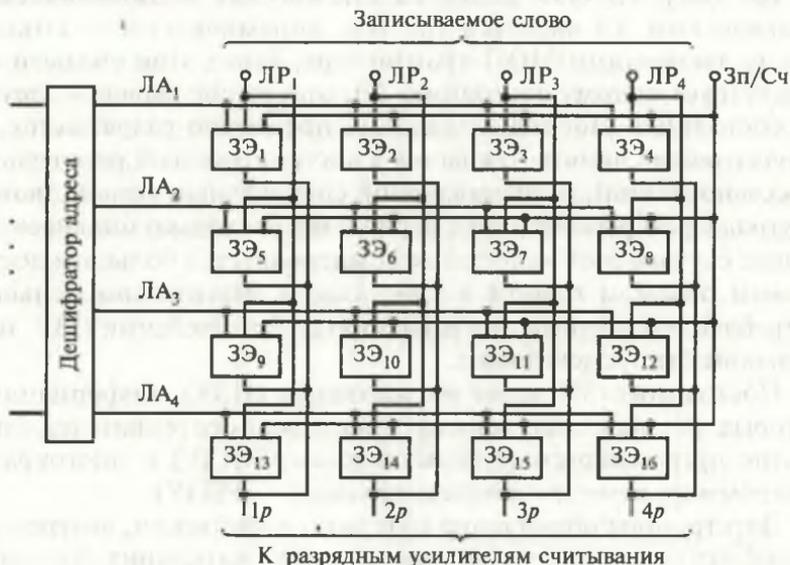


Рис. 11.2

ресной шины (ША). На n адресных линиях можно создать 2^n двоичных комбинаций, которые составляют адресное пространство системы. Число 2^n показывает, сколько элементов, в частности запоминающих ячеек ЗУ, может содержать система.

На рис. 11.3 приведено условное изображение микросхемы ОЗУ. Ее выбор осуществляется при наличии лог. 0 на входе CS («Выбор микросхемы»). При $CS = 1$ микросхема блокируется: ее выходы данных $D_0—D_7$ устанавливаются в третье состояние (что условно показано ромбиком наверху правого поля); благодаря этому вместо заблокированной может быть выбрана (активизирована) другая микросхема, выходы данных которой присоединены к линиям той же шины данных.

Микросхема (см. рис. 11.3) имеет 9 адресных входов, на которых могут быть выставлены 512 (2^9) двоичных комбинаций (от 00000000 до 11111111), т. е. она содержит 512 ячеек. Через восемь двунаправленных выводов данных $D_0—D_7$ (ячейки — 8-разрядные) при наличии лог. 0 на входе W/R ($W/R = 0$) осуществляется запись двоичного слова в ОЗУ, а при $W/R = 1$ — считывание. Линии от выводов $D_0—D_7$ составляют 8-разрядную шину данных.

Для компактной записи многоразрядных адресов и уменьшения числа ошибок используется 16-ричная (гексодecimalная) система счисления. Для перевода в нее двоичное число разбивают справа налево на четверки (тетрады), каждую из которых представляют 16-ричным символом. В табл. 11.1 приведено соответствие между двоичной тетрадой (N_2) и 16-ричными символами (N_{16}).

Таблица 11.1

n_{10}	N_2	N_{16}									
0	0000	0	4	0100	4	8	1000	8	12	1100	<i>C</i>
1	0001	1	5	0101	5	9	1001	9	13	1101	<i>D</i>
2	0010	2	6	0110	6	10	1010	<i>A</i>	14	1110	<i>E</i>
3	0011	3	7	0111	7	11	1011	<i>B</i>	15	1111	<i>F</i>

Так, число 1101010111111010 $B = D5FA H$, где B и H — признаки соответственно двоичной (бинарной) и 16-ричной систем счисления.

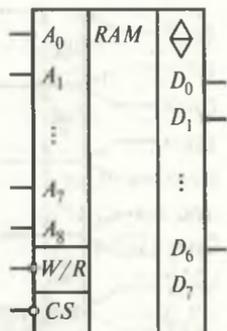


Рис. 11.3

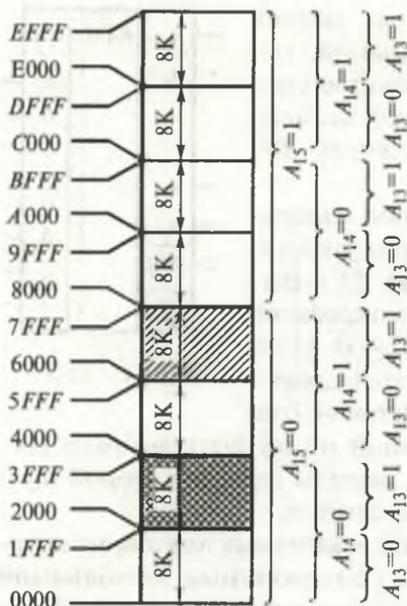


Рис. 11.4

Аналогично осуществляется обратный переход: каждый символ 16-ричной системы представляется тетрадой двоичных цифр.

На рис.11.4 представлено адресное пространство 16-разрядной ША с указанием областей, соответствующих значениям старших разрядов, и полных 16-ричных адресов по обе стороны разделяющих области границ. При $A_{15} = 0$ инициированы (адресованы, выбраны) могут быть только те элементы, адрес которых находится в нижней половине адресного пространства, а при $A_{15} = 1$ — элементы с адресом в верхней половине. В этом смысле разряд A_{15} делит адресное пространство пополам. При каждом

значении A_{15} ($A_{15} = 0$ и $A_{15} = 1$) разряд A_{14} может принимать тоже два значения ($A_{14} = 0$ и $A_{14} = 1$), т. е. A_{14} делит каждую половину адресного пространства пополам; разрядами A_{15} , A_{14} адресное пространство делится на четыре части; аналогично тремя разрядами — A_{15} , A_{14} , A_{13} — адресное пространство делится на $2^3 = 8$ частей и т. д.

В каждую область адресного пространства может быть «вставлен» компонент системы (в частности, запоминающее устройство). Если, например, выставляется адрес, старшие разряды которого $A_{15} = 0$, $A_{14} = 1$, $A_{13} = 1$, то на него «откликается» компонент, «вставленный» в область $6000_{16} - 7FFF_{16}$ шириной 8К (8×1024) адресов (на рис. 11.4 она однократно заштрихована). Он будет откликаться на любой адрес в этом диапазоне адресов, где A_{15} , A_{14} , A_{13} имеют приведенные значения, т. е. вне зависимости от значений разрядов A_{12} , $A_{11} - A_0$. Если указанная область закреплена за ЗУ, то его емкость может составлять 8К ячеек, каждая из которых будет адресоваться разрядами $A_0 - A_{12}$, а сама микросхема ЗУ должна выбираться разрядами $A_{15} = 0$, $A_{14} = A_{13} = 1$.

На рис. 11.5 изображена микросхема ОЗУ емкостью 8К ($2^{10} \times 2^3$) байт, которая должна выбираться указанными значениями адресных разрядов. Чтобы на всех входах элемента ИЛИ обеспе-

читать лог. 0 (при этом и на его выходе будет лог. 0) разряды A_{13} и A_{14} инвертируются. Каждый элемент — ячейка ОЗУ (см. рис. 11.5) адресуется всеми разрядами ША: корпус микросхемы — разрядами A_{15} , A_{14} , A_{13} (роль дешифратора выполняет элемент ИЛИ и инверторы), ячейка внутри корпуса — разрядами A_{12} , A_{11} — A_0 (на входах дешифратора внутри корпуса ОЗУ; с выходов этого дешифратора выбираются ячейки).

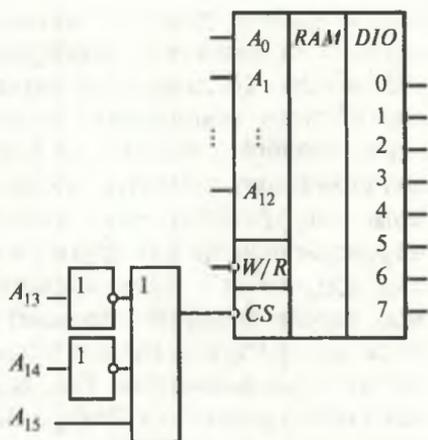


Рис. 11.5

Дешифрацию, в которой задействованы все разряды адресной шины, называют *полной*. Ей свойственна однозначная адресация каждого элемента системы: конкретный адрес выбирает только один элемент, конкретный элемент не может выбираться разными адресами.

Если в дешифрации элемента задействованы не все разряды адресной шины, то ее называют *неполной*. В этом случае положение элемента в адресном пространстве не будет определено однозначно, так как не определены значения (0 или 1) незадействованных разрядов. При одном незадействованном разряде (например, A_{14} в схеме, представленной на рис. 11.5) ОЗУ будет расположено в двух различных областях адресного пространства. Одна из них соответствует $A_{14} = 0$, а другая — $A_{14} = 1$; микросхема будет «откликаться» на два адреса: $A_{15} = 0$, $A_{14} = 1$, $A_{13} = 1$ и $A_{15} = 0$, $A_{14} = 0$, $A_{13} = 1$ (вторая область на рис. 11.4 дважды заштрихована). При двух неиспользованных разрядах принадлежащая микросхеме область будет встречаться в адресном пространстве четыре (2^2) раза, при трех неиспользованных разрядах — восемь (2^3) раз; в общем случае — столько раз, сколько различных комбинаций можно составить из единичных и нулевых значений неиспользованных разрядов.

Естественно, адреса внутри «размножившихся» областей не могут быть присвоены другим элементам. Если система имеет столько элементов, что для их выбора нужно использовать все комбинации адресных разрядов (при 16-разрядной ША их полное число составляет $2^{16} = 65536 = 64K$) — всю ширину ША, то

адресное пространство оказывается целиком занятым. В этом случае при частичной дешифрации хотя бы одного элемента на «законный» 16-разрядный адрес другого элемента в отведенной ему области «наплывает» заданный меньшим числом разрядов адрес первого элемента; на конкретный адрес будут отзываться два различных элемента, что недопустимо. Если же часть адресного пространства, куда попадут «размножившиеся» области, не предназначена для других элементов, то частичная дешифрация допустима и целесообразна: уменьшение числа используемых адресных линий упрощает схему дешифрации — используются элементы с меньшим числом входов, а зачастую и меньшее число таких элементов. Так, если область дважды заштрихованного прямоугольника $2000_{16} \dots 3FFF_{16}$ (см. рис. 11.4) не занята, то для выбора корпуса ОЗУ в границах $6000 \dots 7FFF$ не нужно использовать разряд A_{14} — дешифрация кода в разрядах A_{15}, A_{13} , осуществляемая элементом ИЛИ и одним инвертором, обеспечит на входе CS ОЗУ лог. 0 при $A_{15} = 0, A_{13} = 1$.

11.3. Статические оперативные запоминающие устройства

11.3.1. Оперативные запоминающие устройства со словарной организацией

Организация ЗУ, при которой одной линией с выхода внутреннего дешифратора выбирается группа запоминающих элементов (разряды одного слова), называется *словарной* или *однокоординатной*.

Запоминающий массив (ЗМ) представляет собой матрицу, в каждой строке которой располагаются ЗЭ, хранящие разряды одного слова. Примером этого может быть массив, изображенный на рис. 11.2. Для записи слова, к примеру, в ячейку из элементов $ЗЭ_9 \dots ЗЭ_{12}$ нужно подать сигнал выбора адреса на адресную линию $ЛА_3$ (которая подключена только к элементам $ЗЭ_9 \dots ЗЭ_{12}$); потенциалы (0 или 1), соответствующие значениям разрядов записываемого слова, подать на разрядные линии $ЛР_1 \dots ЛР_4$, а на линию $Зп/Сч$, общую для всех ЗЭ, подать сигнал, разрешающий запись. При этом ЗЭ (в данном случае третьей строки матрицы) переключаются в состояния, соответствующие значениям разрядов записываемого слова. Считывание слова происходит при наличии на шине $Зп/Сч$ сигнала, разрешающего за-

пись (он является инверсным по отношению к предыдущему), и при наличии сигнала на требуемой адресной линии ЛА₃. При этом потенциалы, соответствующие значениям разрядов слова (лог. 0 или лог. 1), появляются на выходах разрядных усилителей считывания.

Выбор той или иной адресной линии (ЛА) осуществляется внутренним дешифратором адреса, на вход которого поступает двоичный код номера ЛА — номера (адреса) ячейки, в которую должно быть записано или из которой должно быть считано слово. Ячейка имеет одну координату — номер строки матрицы запоминающих элементов.

Число выходов дешифратора и адресных линий внутри микросхемы равно количеству ячеек в накопителе и может быть весьма значительным, что технологически ограничивает емкость памяти в пределах кристалла. Так, при 1К ячеек это число равно 1024. Его можно значительно уменьшить, если использовать одноразрядную организацию накопительной матрицы (двухкоординатную выборку запоминающих элементов)

Большинство типов используемых микросхем ОЗУ энергозависимо: при отключении питания записанная информация теряется.

11.3.2. Оперативное запоминающее устройство с одноразрядной организацией

В этом случае ЗУ имеет матрицу, каждый запоминающий элемент которой выбирается дешифратором строки и дешифратором столбца (рис. 11.6). Выбранным оказывается элемент, находящийся на пересечении возбужденных линий, одна из которых принадлежит дешифратору строки, а другая — дешифратору столбца. Каждая микросхема хранит в своей матрице одноименные разряды всех заносимых слов (одна матрица — первые разряды, другая — вторые и т. д.). При этом первый разряд слова хранится в ЗЭ (одноразрядной ячейке) матрицы первой микросхемы, второй разряд — в идентично расположенном элементе матрицы второй микросхемы и т. д., а все слово — в n матрицах (в n одноразрядных микросхемах), количество которых соответствует разрядности слова. Одна часть разрядов адреса, установленного на входах A_0-A_7 ($2^8 = 256$), поступает на входы дешифратора строк, другая — на входы дешифратора столбцов. Емкость этого ОЗУ составляет (256×1) бит = $(0,25К \times 1)$ бит. Если накопительная матрица квадратная, то разряды полного адреса распределяются между дешифраторами поровну.

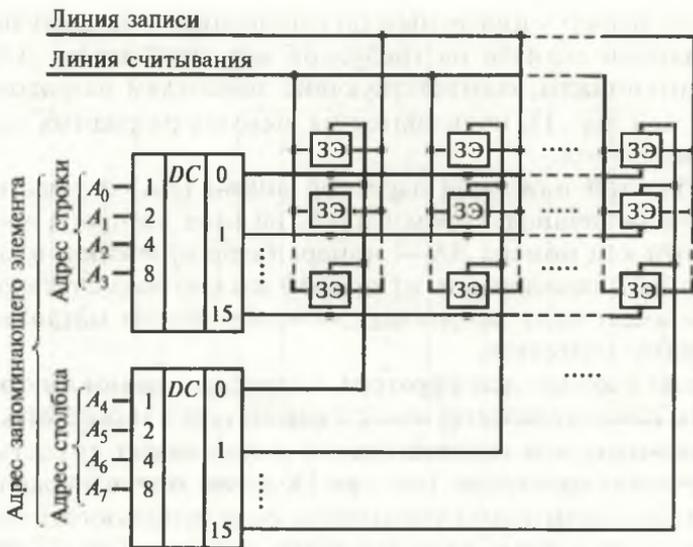


Рис. 11.6

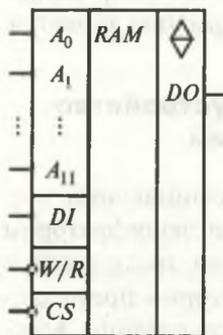


Рис. 11.7

На рис. 11.7 приведено условное изображение рассматриваемого ОЗУ с отдельными входами записи и чтения (соответственно DI и DO). Если при записи выход DO устанавливается в третье состояние, то выходы DI и DO можно объединить, получив двунаправленную линию данных. В противном случае приходится использовать специальный буфер с одной группой двунаправленных выводов и двумя группами разнонаправленных выводов, одна из которых включается на ввод по сигналу Запись, а другая включается на вывод по сигналу Чтение, когда эти сигналы подаются на микросхему ОЗУ.

Достоинством ОЗУ с одноразрядной организацией является значительно меньшее число внутренних линий накопителя, что существенно упрощает технологию их изготовления.

11.3.3. Нарращивание разрядности оперативного запоминающего устройства

Чтобы обмениваться с памятью многоразрядными словами (в частности, при использовании микросхем с одноразрядной организацией) необходимо наращивание разрядности ЗУ.

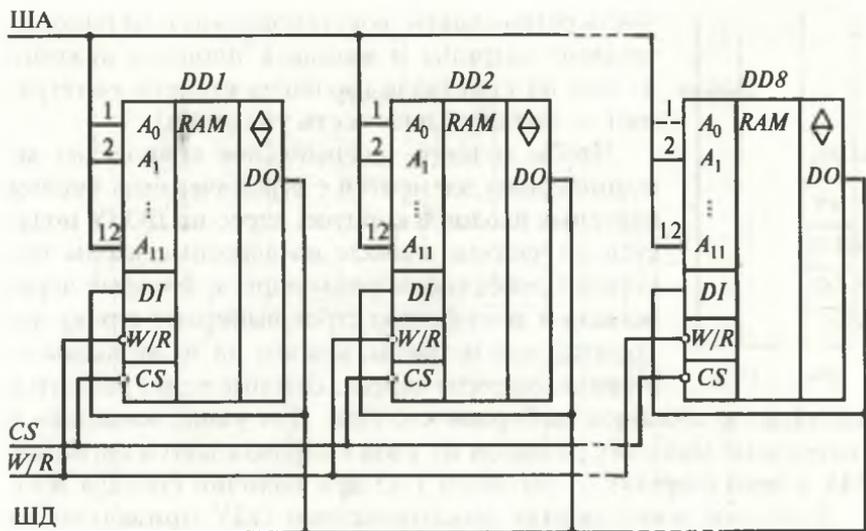


Рис. 11.8

На рис. 11.8 показан фрагмент модуля ОЗУ, состоящего из восьми микросхем *DD1—DD8* с одноразрядной структурой. Адресные входы A_0 всех микросхем запараллелены, аналогично запараллелены входы A_1 , входы A_2 и т. д. Поэтому каждый адресный код одновременно адресует (выбирает) восемь ЗЭ, идентично расположенных в восьми накопительных матрицах, т. е. выбирает восьмиразрядное слово — 1 байт. Двенадцать адресных входов $A_0—A_{11}$ позволяют выбирать одну из 4К ($2^{12} = 4096$) 8-разрядных ячеек, в которые запись и считывание осуществляется по объединенному входу *DIO*. Все входы выбора микросхем (*CS*) соединены, поэтому обращение к ним происходит как к единому блоку. Соединены и все входы *W/R* записи/чтения, поэтому в каждой из этих операций одновременно участвуют все восемь микросхем.

11.4. Динамические оперативные запоминающие устройства

11.4.1. Особенности динамических оперативных запоминающих устройств

Отличительными особенностями микросхем динамических ОЗУ (ДОЗУ) по сравнению со статическими являются необходи-

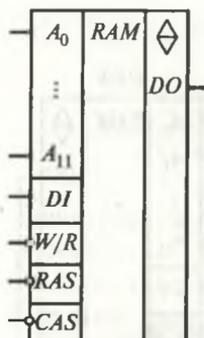


Рис. 11.9

мость регенерации (восстановления) ЗЭ накопительной матрицы и меньшая площадь каждого из них на кристалле (большая степень интеграции — большая плотность упаковки).

Чтобы сочетать значительное количество запоминающих элементов с ограниченным числом адресных входов в корпусе, адрес на ДОЗУ подается по частям: вначале на адресные входы поступают младшие разряды адреса, которые через регистр и дешифратор строк выбирают строку накопительной матрицы, а затем на те же входы — старшие разряды адреса, которые через регистр и

дешифратор столбцов выбирают столбец. Для «защелкивания» в микросхеме младших разрядов их ввод сопровождается сигналом *RAS*, а ввод старших — сигналом *CAS* при наличии сигнала *RAS*.

Условное изображение динамического ОЗУ приведено на рис. 11.9.

Нарращивание разрядности ДОЗУ осуществляется так же, как и статических ОЗУ.

Чтобы обеспечить поступление адреса к ДОЗУ по частям, используются мультиплексоры. Так как каждый из них имеет один выход, то их число равно количеству адресных входов ДОЗУ. Число информационных входов каждого мультиплексора зависит от количества разных сигналов, которые поочередно должны коммутироваться на выход. Так, если с временным сдвигом должны передаваться только обе половины полного адреса, то каждый мультиплексор должен иметь два информационных входа, один из которых выбирается 0 на единственном адресном входе (сигнал коммутации $MUX = 0$), а другой 1 ($MUX = 1$). Если же через мультиплексор должны поочередно передаваться три сигнала (в дополнении к указанным — адрес регенерации, о чем будет сказано далее), то каждый мультиплексор должен иметь три информационных входа, для коммутации которых необходимы два адресных входа. Схема, реализующая временное мультиплексирование адреса ДОЗУ, будет рассмотрена далее.

Сигналы *RAS*, *MUX* и *CAS* должны поступать на ДОЗУ и мультиплексоры с определенными временными сдвигами. Их конкретные значения приводятся в справочниках и составляют обычно десятки наносекунд.

Необходимо отметить еще одну особенность микросхемы динамического ОЗУ. Организация ее накопителя такова, что при

обращении к строке происходит обращение ко всем присоединенным к ней запоминающим элементам.

11.4.2. Регенерация динамических оперативных запоминающих устройств

Как уже отмечалось, определяющей особенностью динамического ОЗУ является необходимость периодического восстановления (регенерации) зарядов запоминающих элементов — емкостей. Для ряда микросхем ДОЗУ максимально допустимый интервал между двумя последовательными регенерациями ЗЭ (период регенерации) составляет 2 мс, а время регенерации одного элемента (цикл регенерации) 230...460 нс. При каждом обращении к ЗЭ в режиме чтения или записи происходит его регенерация. Однако регулярного обращения к элементу не происходит: к одним элементам процессор обращается чаще, к другим — реже. Поэтому в динамических ОЗУ осуществляют принудительную регенерацию. Поскольку при обращении к строке накопительной матрицы регенерируются все присоединенные к ней ЗЭ, то для регенерации всех ЗЭ достаточно в регистр адреса строк микросхемы ДОЗУ периодически последовательно вводить адреса всех строк, т. е. каждое значение младших разрядов адреса.

Систематическая смена кодов на адресных входах ОЗУ в периоды регенерации вступает в конфликт с передачей на них адресов от процессора. Для его разрешения установка адресов регенерации осуществляется в те моменты, когда процессор не обращается к ОЗУ («прозрачная», «скрытая» регенерация).

Регенерацию осуществляет специализированная микросхема — контроллер регенерации или выполняющий его функцию набор микросхем. В общем случае они генерируют последовательно изменяющиеся коды младшей половины адреса ДОЗУ (периодически повторяя их, и прерывают генерацию при обращении процессора к ДОЗУ), сигналы *RAS*, *MUX* и *CAS* с заданной временной расстановкой и сигнал *REF*, сопровождающий циклы регенерации. Генерация младшей части адреса осуществляется счетчиком контроллера, код на выходах которого последовательно увеличивается до некоторого максимального значения, спадает до нуля при переполнении счетчика и вновь нарастает. Частота поступающих на счетчик импульсов выбирается с таким расчетом, чтобы время перебора всех младших адресов (с учетом времени обращения процессора к ОЗУ) не превышало допустимый период регене-

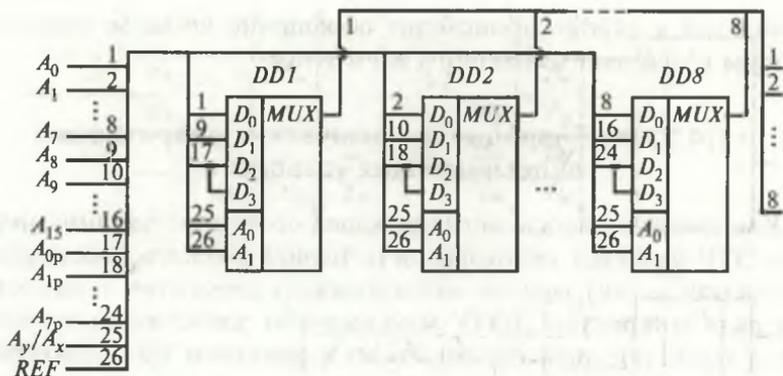
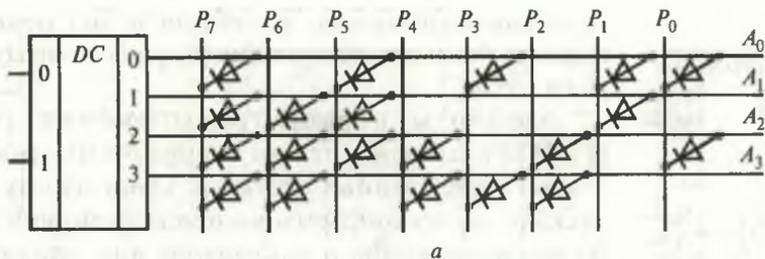


Рис. 11.10

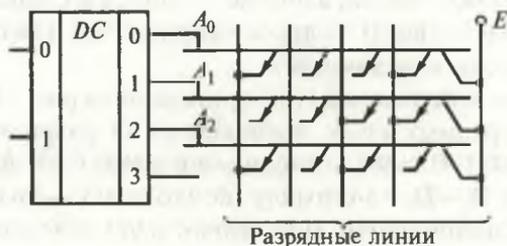
рации. Необходимая временная расстановка сигналов *RAS*, *MUX* и *CAS* обеспечивается сдвиговым регистром контроллера, на выводах которого они последовательно появляются под действием входных сдвигающих импульсов. Сигнал *REF* формируется контроллером в отсутствии обращения процессора к памяти и сбрасывается при таком обращении ($REF = 0$). Этот сигнал подается на одноименные адресные входы микросхем мультиплексоров, коммутируя на выходы мультиплексоров те информационные входы, на которые поступают адреса регенерации. На рис. 11.10 показан фрагмент схемы, обеспечивающей мультиплексирование младшей (A_0-A_7), старшей (A_8-A_{15}) половин адреса, выставляемого процессором, и адресов регенерации $A_{0p}-A_{7p}$, генерируемой счетчиком регенерации. Сигнал $A_y/A_x = 0$ разрешает передачу адреса к строке матрицы, а $A_y/A_x = 1$ — к столбцу. Разряды A_0-A_7 коммутируются с входов D_0 на выходы мультиплексоров кодом $A_0 = A_1 = 0$. Разряды A_8-A_{15} — с входов D_1 кодом $A_0 = 1, A_1 = 0$, а разряды адреса регенерации $A_{0p}-A_{7p}$ — с входов D_2 и D_3 кодом $A_0 = 0, A_1 = 1$ и кодом $A_0 = A_1 = 1$.

11.5. Постоянные запоминающие устройства

Элементами ПЗУ могут быть диоды и транзисторы. На рис. 11.11, *a* изображено матричное ПЗУ, состоящее из диодной матрицы и внутреннего дешифратора адреса. Горизонтальные линии матрицы — адресные; вертикальные — разрядные, с них снимаются 8-разрядные двоичные числа, записанные в ПЗУ. Код адреса возбуждает одну из адресных линий матрицы. Диоды в



a



б

Рис. 11.11

ней располагают так, чтобы обеспечить соединение адресуемой линии с теми разрядными линиями, на которых нужно получить лог. 1. Если, к примеру, с выхода дешифратора возбуждается адресная линия A_1 , то лог. 1 проходит с нее через диоды на разрядные линии P_1, P_5, P_6, P_7 , сообщая им высокий потенциал — на выходе устанавливается двоичное число 11100010. Аналогично, при возбуждении соответствующих адресных линий на выходах устанавливаются другие двоичные числа. Если катоды диодов соединяются с разрядными линиями через плавкие перемычки, то такую матрицу можно программировать, пережигая их импульсами тока.

На рис. 11.11, б приведена структура программируемого ПЗУ на многоэмиттерных транзисторах. При возбуждении одного из выходов внутреннего дешифратора отпирается транзистор, к базе которого присоединена адресная линия. Благодаря этому потенциал лог. 1 получают те разрядные линии, к которым через плавкие перемычки присоединены эмиттеры этого транзистора. В постоянном запоминающем устройстве, представленном на рис. 11.11, б, записаны три 4-разрядных слова (1001, 0011, 1010), каждое устанавливается на разрядных линиях при возбуждении соответствующей адресной линии. При программировании изготовителем или пользователем определенные перемычки расплавляют. В результате нарушаются некоторые связи источника E с

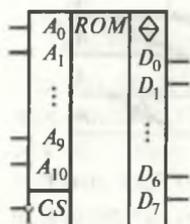


Рис. 11.12

разрядными линиями, что обеспечивает появление лог. 0 в соответствующих разрядах считываемого числа.

Элементы перепрограммируемых ПЗУ (РППЗУ) выполняются на основе МОП-транзисторов определенных структур. Одни из них допускают запись информации при воздействии импульса напряжения и ее стирание при ультрафиолетовом облучении, а другие — запись и стирание под воздействием только напряжений (разной полярности и величины).

Условное изображение микросхемы ПЗУ приведено на рис. 11.12. Она содержит 2048 8-разрядных ячеек, выбираемых 11-разрядным адресом A_0-A_{10} ($2^{11} = 2048$). Слово, записанное в ячейку, появляется на восьми выходах D_0-D_7 по сигналу на входе CS — выбор микросхемы. Перепрограммируемые ПЗУ имеют в условном обозначении аббревиатуру *R2PROM*.

Кроме использования по прямому назначению, ПЗУ находят многочисленные нетрадиционные применения, основанные на том, что в его ячейки могут быть занесены любые предусмотренные задачей слова, за счет чего ПЗУ может выполнять преобразования кодов в самом широком смысле. При этом преобразуемый (входной) код заводится на адресные входы ПЗУ и становится адресом ячейки, в которую пользователем или изготовителем предварительно занесена необходимая по условиям задачи реакция на входной код — преобразованный (выходной) код. По существу, первый из названных кодов является аргументом, а второй — его функцией. Так, на базе ПЗУ могут быть выполнены самые различные устройства, реализующие функциональные зависимости.

В третьей части книги будут приведены примеры такого нетрадиционного применения ПЗУ.

11.6. Организация модуля запоминающего устройства

Емкость микросхемы памяти (C) оценивается числом бит (или байт) информации, которое она может хранить. Это число соответствует количеству комбинаций, которое можно выставить на ее n адресных входах: $C = 2^n$. В большинстве случаев емкость одной микросхемы оказывается недостаточной, так что приходится использовать несколько микросхем.

На рис. 11.13 приведен модуль ОЗУ, содержащий 3-входовой адресный дешифратор *DD1* с инверсными выходами, микросхему *DD2*, занимающую адреса *B000..BFFF* (1011000000000000 ... 1011111111111111), и микросхему *DD3*, занимающую адреса *C000...C7FF* (1100000000000000 ... 1100011111111111). Сравнивая двоичные адреса границ каждой микросхемы (для этого удобно написать их друг под другом), можно заметить, что для микросхемы *DD2* в целом (от нижней границы до верхней) разряды $A_{15} = 1, A_{14} = 0, A_{13} = A_{12} = 1$ не меняются, т. е. сама микросхема выбирается этими значениями старших разрядов адресов. Аналогично микросхема *DD3* выбирается разрядами $A_{15} = A_{14} = 1, A_{13} = A_{12} = A_{11} = 0$. Три старших разряда A_{15}, A_{14} и A_{13} заводятся на дешифратор. Для адресации *DD2* нужно собрать на входах элемента *DD4* лог. 0: от разрядов A_{15}, A_{14}, A_{13} с выхода 5 дешифратора и с выхода элемента НЕ *DD5*, инвертирующего выставленный для адресации микросхемы разряд $A_{12} = 1$. Аналогично для адресации микросхемы *DD3* на элементе *DD6* должны быть собраны: лог. 0 с выхода 6 дешифратора *DD1* и лог. 0, выставленный на разрядах A_{11} ,

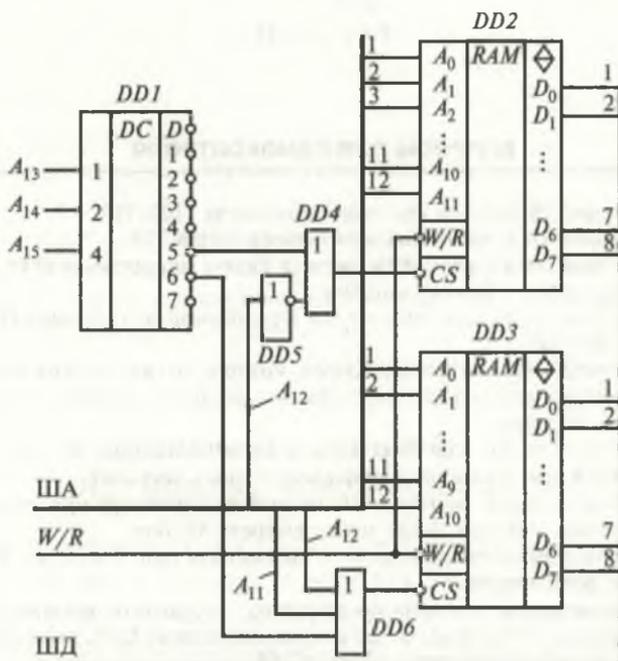


Рис. 11.13

A_{12} . Емкость микросхемы *DD2* составляет $2^{12} \times 8 = 4$ Кбайт, а микросхемы *DD3* — 2 Кбайт. Аналогично наращивается емкость ПЗУ.

Методы увеличения разрядности и емкости при организации модулей динамического и статического ОЗУ аналогичны. Различие проявляется в выборе микросхемы модуля, что обусловлено отсутствием входа *CS* («Выбор микросхемы») у динамического ОЗУ. Использование сигнала *CAS* для выбора ИМС иллюстрирует рис. 11.14. Код на входах дешифратора адресует ДОЗУ. В зависимости от его значения сигнал *CAS* через диэъюнктор проходит на одноименный вход соответствующей микросхемы.

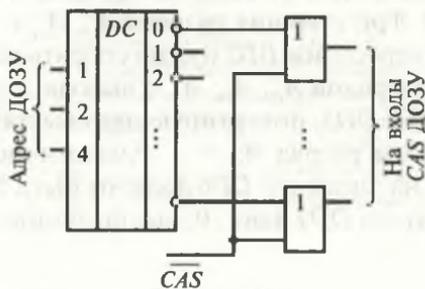


Рис. 11.14

ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ

1. Определите 16-ричный код двоичного числа 11001110.
2. Определите 16-ричный код десятичного числа 125.
3. Определите число, равное емкости (в битах) микросхемы ОЗУ, имеющей 11 адресных входов и 4 вывода данных.
4. Определите число адресных входов 8-разрядной микросхемы ОЗУ, имеющей емкость 2К байт.
5. Определите число мультиплексов, которое должна содержать схема для передачи 12-разрядного кода на адресные входы ДОЗУ, имеющего квадратную накопительную матрицу.
6. Определите число адресных входов мультиплексора, осуществляющего передачу к ДОЗУ трех различных информационных сигналов.
7. Определите число, равное емкости счетчика регенерации, если квадратная накопительная матрица ДОЗУ имеет емкость 4К бит.
8. Определите значение логического потенциала (лог. 1 или лог. 0), сигнала *CAS* в режиме регенерации.
9. Последовательно, начиная со старшего, определите значения (0 или 1) адресных разрядов, которые адресуют самую микросхему ОЗУ, расположенную в границах адресного пространства *C000—C7FF*.
10. Определите тип сигнала (*RAS* или *CAS*), которым выбирается микросхема ДОЗУ.

ЗАДАЧИ

1. Используя 3-входовой дешифратор с инверсными выходами, составьте схему модуля ЗУ, содержащего статическое ОЗУ и ПЗУ, расположенные соответственно в адресах *B800—BFFF* и *A400—A7FF*.

2. Используя трехвходовой дешифратор с инверсными выходами, составьте схему для адресации четырех идентичных микросхем ОЗУ, расположенных друг за другом в адресах *D000—DFFF*.

УКАЗАНИЯ К ВОПРОСАМ И ЗАДАЧАМ

К вопросу 2. Представьте десятичное число двоичным кодом.

К вопросу 3. Определите число ячеек указанного ОЗУ.

К вопросу 4. Определите число ячеек указанного ОЗУ и используйте соотношение между числом ячеек и числом адресных входов.

К вопросу 5. Определите число адресных входов ДОЗУ.

К вопросу 6. Используйте соотношение между разрядностью двоичного кода и числом его возможных комбинаций.

К вопросу 7. Определите число строк накопительной матрицы.

К вопросу 9. В диапазоне указанных адресов определите разряды с одинаковыми значениями.

ЛИТЕРАТУРА

1. *Калабеков Б.А.* Цифровые устройства и микропроцессорные системы. — М.: Телеком, 2000. С. 173—182.

2. *Потемкин И.С.* Функциональные узлы цифровой автоматики. — М.: Энергоатомиздат, 1988. С. 115—118.

Часть вторая

Аналоговые компоненты цифровых устройств

ГЛАВА 12

АНАЛОГОВЫЕ КОМПАРАТОРЫ

12.1. Общие сведения

Блоки многих цифровых устройств работают с аналоговыми сигналами и часто требуют сравнения напряжений. Аналоговый компаратор предназначен для сравнения двух аналоговых сигналов: один из них называют опорным, а другой — измеряемым или входным. Когда входной сигнал чуть превысит опорный, напряжение на выходе компаратора резко изменится. Обычно выходной сигнал компаратора поступает на цифровой элемент, который различает напряжения только двух уровней: один соответствует лог. 1, а другой — лог. 0. Такие уровни с учетом конкретной серии элемента нужно обеспечить на выходе компаратора.

12.2. Компараторы на интегральных микросхемах операционных усилителей

Аналоговые компараторы могут сравнивать как однополярные, так и разнополярные напряжения. Двухпороговые устройства, реализованные на компараторах, позволяют фиксировать моменты достижения входным напряжением заранее установленных уровней.

Ослабление чувствительности к помехам обеспечивается регенеративными компараторами, что повышает достоверность сравнения.

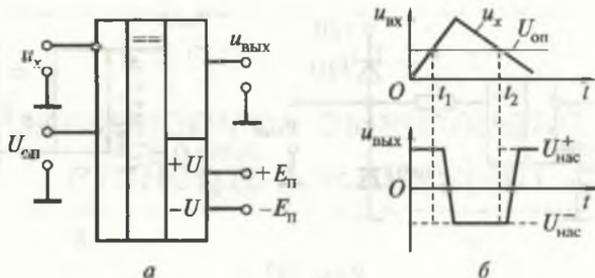


Рис. 12.1

Аналоговые компараторы встречались в данной книге ранее при изучении аналого-цифровых преобразователей (последовательного счета, времяимпульсных и кодоимпульсных).

Наличие двух входов и большой коэффициент усиления интегральной микросхемы операционного усилителя (ОУ) позволяют построить компаратор на ее основе.

На рис. 12.1, а приведена схема компаратора для сравнения однополярных сигналов. Полярность $u_{\text{вых}}$ определяется большим из напряжений $U_{\text{оп}}$ и u_x :

$$u_{\text{вых}} = K(U_{\text{оп}} - u_x),$$

Его величина, за счет большого коэффициента усиления K и отсутствия обратной связи, достигает значения $U_{\text{нас}}^+$ ($U_{\text{нас}}^-$) при весьма незначительной разности u_x и $U_{\text{оп}}$.

До момента времени t_1 (рис. 12.1, б) $U_{\text{оп}} > u_x$, т. е. полярность напряжения $u_{\text{вых}}$ совпадает с полярностью напряжения $U_{\text{оп}}$ и $u_{\text{вых}} = U_{\text{нас}}^+$. Вслед за равенством (в момент t_1) напряжение u_x начинает превышать $U_{\text{оп}}$. Теперь полярность $u_{\text{вых}}$ будет определяться напряжением u_x на инвертирующем входе и окажется противоположной u_x . При весьма незначительном превышении u_x над $U_{\text{оп}}$, т. е. практически в момент t_1 напряжение на выходе установится равным $U_{\text{нас}}^-$. В момент времени t_2 вновь наступает равенство сигналов, вслед за которым u_x становится меньше $U_{\text{оп}}$ — напряжение на выходе скачком переходит от $U_{\text{нас}}^-$ к $U_{\text{нас}}^+$.

Статическая характеристика компаратора $u_{\text{вых}} = f(t)$ (см. рис. 12.1, б), данная пунктиром, соответствует идеальному компаратору (считается, что переключение $u_{\text{вых}}$ происходит мгновенно в момент равенства u_x и $U_{\text{оп}}$), а сплошная линия — реальному компаратору: переключение начинается с некоторым запаздыванием относительно t_1 и t_2 и длится определенное время. Заметим, что

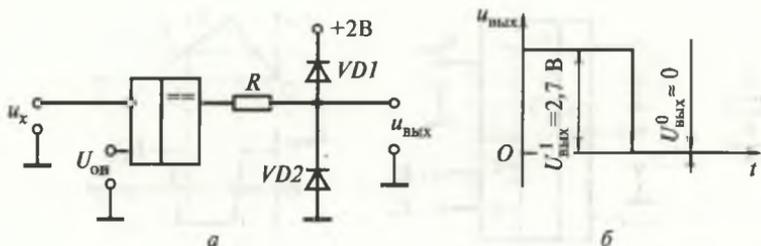


Рис. 12.2

если в схеме (см. рис. 12.1, а) $U_{\text{он}} = 0$, то компаратор переключается при $u_x \approx 0$ и называется детектором нулевого уровня. Соответственно схему, представленную на рис. 12.1, а при $U_{\text{он}} \neq 0$ называют детектором ненулевого уровня.

Часто аналоговый компаратор работает на вход цифрового устройства. Чтобы выходное напряжение компаратора принимало при этом значения только логических потенциалов, используют ограничитель (рис. 12.2). Если диоды $VD1$ и $VD2$ выбраны с таким расчетом, что напряжение на $VD1$ в пропускном направлении (при $u_{\text{вых}} > 0$) составляет порядка $+0,7$ В, а на диоде $VD2$ близко к 0 (при $u_{\text{вых}} < 0$), то выходное напряжение компаратора будет иметь одно из двух значений: $U^1 \approx +2,7$ В, $U^0 \approx 0$ В.

На рис. 12.3, а приведена схема компаратора для сравнения разнополярных напряжений, которые подаются на один инвертирующий вход. Потенциал неинвертирующего входа $U^{(+)} = 0$. Если $R_1 = R_2$, то при равенстве абсолютных значений u_x и $U_{\text{он}}$ напряжение $U^{(-)} = 0$, т. е. $U^{(-)}$ станет равным $U^{(+)}$ (рис. 12.3, б) и идеальный компаратор переключится из одного состояния в другое. В момент, когда одно из входных напряжений превысит дру-

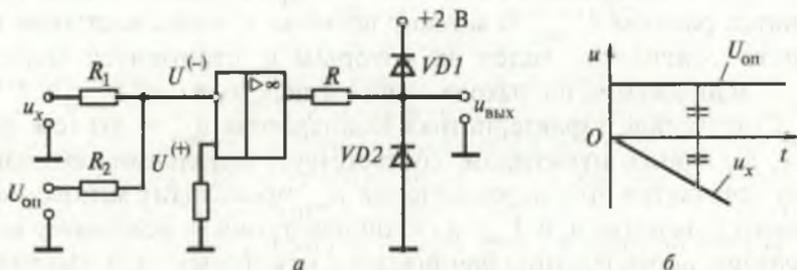


Рис. 12.3

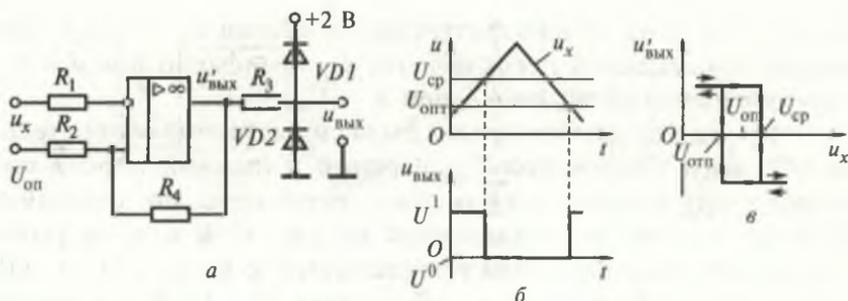


Рис. 12.4

гое, выход реального компаратора переключится в противоположное состояние. Приведенные схемы отличаются низкой помехозащищенностью: компаратор может переключаться под влиянием помехи, которая накладывается на полезный сигнал. Это ложное срабатывание особенно возможно при малой скорости изменения сигнала, когда результирующее напряжение (сигнал $u_{вх}$ + помеха) успевает несколько раз пересечь уровень $U_{оп}$, в то время как сигнал u_x мало от него отличается.

Указанный недостаток устраняется в регенеративном компараторе (рис. 12.4, а), в котором резисторами R_4 , R_2 введена положительная обратная связь. В данном случае напряжение на неинвертирующем входе $U^{(+)}$ равно сумме напряжений $U_{оп}$ и напряжения обратной связи $U_{ос}$, выделяющегося на резисторе R_2 . Когда на выходе ОУ $u_{вых} = U^{(+)}_{нас}$, напряжение на неинвертирующем входе ИМС $u^{(+)} = U_{оп} + U_{ос}$ (назовем его напряжением срабатывания $U_{ср}$); когда $u_{вых} = U^{(-)}_{нас}$, $u^{(+)} = U_{оп} - U_{ос}$ (назовем его напряжением отпущения $U_{отп}$).

До поступления u_x напряжение на выходе ОУ $u'_{вых}$ за счет $U_{оп}$ равно $U^{(+)}_{нас}$. Поэтому переключение компаратора может наступить только тогда, когда u_x превысит $U_{ср} = U_{оп} + U_{ос}$. При этом напряжение на выходе ограничителя изменится от уровня лог. 1 до уровня лог. 0 (рис. 12.4, б). Теперь $u_{вых} = U^{(-)}_{нас}$ и переключение компаратора может осуществиться, когда u_x будет ниже $U_{отп} = U_{оп} - U_{ос}$. При этом напряжение на выходе ограничителя изменится от уровня лог. 0 до уровня лог. 1. Если амплитуда помехи меньше разности $U_{ср} - U_{отп}$, то ложного срабатывания происходить не будет.

За счет положительной обратной связи компаратор (см. рис. 12.4, а) обладает гистерезисом: переходы $u_{вых}$ от одного уровня к другому происходят при разных входных напряжениях ($U_{ср}$ и $U_{отп}$).

На рис. 12.4, в приведена гистерезисная кривая $u'_{\text{вых}} = f(u_x)$. При увеличении сигнала u_x переключение $u_{\text{вых}}$ происходит при $u_x \approx U_{\text{ср}}$, а при уменьшении сигнала — при $u_x \approx U_{\text{отп}}$.

Чтобы гистерезисная кривая была симметрична относительно опорного напряжения $U_{\text{оп}}$, верхний и нижний пороги выходного напряжения должны быть одинаковы по значению. Поэтому в схеме, представленной на рис. 12.4, а, цепь положительной обратной связи подключается к выходу ИМС ОУ до узла, ограничивающего $u_{\text{вых}}$ на уровнях U^1 и U^0 , т. е. к напряжениям $U_{\text{нас}}^{(+)}$ или $U_{\text{нас}}^{(-)}$, абсолютные значения которых принимаются равными.

Положительная обратная связь повышает скорость переключения компаратора. Действительно, если $u_{\text{вых}}$, к примеру, уменьшается, то уменьшается и напряжение на неинвертирующем входе, что приводит к дополнительному уменьшению $u_{\text{вых}}$. Наряду с этим уменьшается точность сравнения входных напряжений: u_x сравнивают не с $U_{\text{оп}}$, а с $U_{\text{ср}} = U_{\text{оп}} + U_{\text{ос}}$ и $U_{\text{отп}} = U_{\text{оп}} - U_{\text{ос}}$.

12.3. Специализированные интегральные микросхемы компараторов

Компараторы на основе ИМС ОУ позволяют проводить сравнение сигналов с высокой точностью (десятки микровольт), но обладают относительно низким быстродействием. Последнее объясняется сравнительно большим временем выхода транзисторов схемы из насыщения при больших входных сигналах, свойственных режиму сравнения.

Более высоким быстродействием обладают специализированные ИМС компараторов, выпускаемые промышленностью. В структурном отношении они отличаются от ИМС ОУ главным образом наличием узла ограничения выходного напряжения на уровнях $U^1_{\text{вых}}$ и $U^0_{\text{вых}}$. Естественно, что на специализированных ИМС компараторов может быть реализовано сравнение однополярных и разнополярных напряжений аналогично выполняемому на ИМС ОУ. Большие функциональные возможности имеет двойной интегральный компаратор (рис. 12.5); он является совокупностью двух одинарных компараторов с общим выходом от элемента ИЛИ.

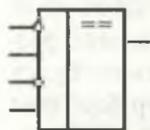


Рис. 12.5

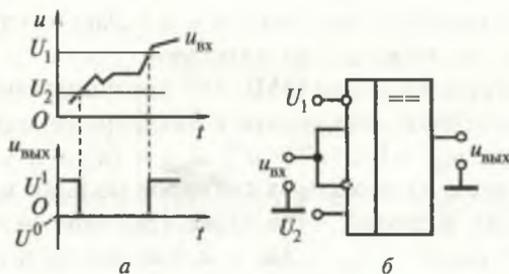


Рис. 12.6

Некоторые из ИМС компараторов имеют входы стробирования. Если напряжение на таком входе равно заданному для данного компаратора, то он работает в режиме слежения: уровни выходного напряжения соответствуют знаку разности u_x и $U_{оп}$. При подаче на стробирующий вход $U_{стр} = 0$ напряжение $u_{вых} = 0$ вне зависимости от соотношений входных напряжений. Стробирование позволяет считывать показания с выхода компаратора в выбираемые моменты времени.

Составим функциональную схему двухпорогового устройства, напряжение на выходе которого переключается от уровня лог. 0 к уровню лог. 1, когда входное напряжение выходит за назначенные пороги. Условия задачи иллюстрирует рис. 12.6, а, где U_1 и U_2 — соответственно верхний и нижний пороги. Очевидно, что схему можно выполнить на двойном компараторе (двух одинаковых компараторах или двух ИМС ОУ). Один из компараторов должен переключаться в лог. 1, когда $u_{вх}$ превзойдет U_1 . Поэтому опорное напряжение U_1 следует подавать на инвертирующий вход компаратора, а входной сигнал — на неинвертирующий. Другой компаратор должен переключаться в лог. 1, когда $u_{вх}$ станет ниже U_2 , поэтому входной сигнал следует подавать на его инвертирующий вход, а опорное напряжение U_2 — на неинвертирующий. Схема, составленная в соответствии с приведенными рассуждениями, приведена на рис. 12.6, б.

12.4. Параметры компараторов

Компаратор описывается многими параметрами, характерными для ОУ (коэффициент усиления, входное сопротивление, коэффициент ослабления синфазного сигнала, напряжение смеще-

ния нуля, значения входных токов и т. д.). Рассмотрим те из них, смысл которых не очевиден из названий.

В общем случае на входы ИМС ОУ поступают напряжения u^- и u^+ . Из них выделяют синфазный и дифференциальный (разностный) сигналы: $u_{\text{сф}} = 1/2 (u^+ + u^-)$, $u_{\text{диф}} = (u^+ - u^-)$.

При этом один из выходных сигналов больше $u_{\text{сф}}$ на некоторую величину Δu , а другой — на ту же величину меньше; например, $u^+ = u_{\text{сф}} + \Delta u$, $u^- = u_{\text{сф}} - \Delta u$, т. е. напряжения на входах ОУ можно представить содержащими одинаковые составляющие $u_{\text{сф}}$ и одинаковые по величине, но разнополярные составляющие Δu .

Сигнал на прямом входе ОУ увеличивает напряжение на выходе, а сигнал на инвертирующем входе его уменьшает. Поэтому идеальный ОУ не должен реагировать на одинаковые по величине и знаку напряжения $u_{\text{сф}}$ на входах. Усилению должны подвергаться разнополярные сигналы Δu . Однако из-за неполной идентичности каналов, усиливающих сигналы с разных входов, синфазные сигналы все же проявляются.

Коэффициент ослабления синфазного сигнала $K_{\text{ос.сф}}$ — отношение коэффициента усиления дифференциального сигнала к коэффициенту усиления синфазного сигнала. Обычные значения $K_{\text{ос.сф}} = 60 \dots 80$ дБ. Чем больше $K_{\text{ос.сф}}$, тем меньшую разность входных сигналов может различить ОУ на фоне большого синфазного напряжения.

Входное напряжение смещения нуля $u_{\text{см}}$ — дифференциальное напряжения, которое нужно приложить между входами ИМС ОУ, чтобы выходное напряжение в отсутствие входных сигналов стало равным 0. Обычно $u_{\text{см}} = 3 \dots 7$ мВ. Значение $u_{\text{см}}$ зависит от температуры и напряжения питания.

Наряду с параметрами ОУ, компаратору свойственны и специфические параметры, к которым относятся чувствительность и время переключения.

Чувствительность (разрешающая способность) характеризует точность сравнения сигналов и соответствует их минимальной разности $\Delta U_{\text{вх min}}$, при которой напряжение на выходе достигает уровня срабатывания логического элемента. Значение $\Delta U_{\text{вх min}}$ у ИМС компараторов имеет порядок сотен милливольт, что хуже, чем у компараторов на ИМС операционных усилителей.

Время переключения $t_{\text{пер}}$ характеризует быстродействие компаратора и соответствует времени с момента сравнения до момента достижения выходным напряжением уровня срабатывания цифрового элемента. Время переключения существенно

зависит от разности сигналов на входах компаратора. Обычно при измерении $t_{\text{пер}}$ на один вход подают $U = 100$ мВ, а на другой — перепад напряжения $U = 105$ мВ (напряжение перевозбуждения равно 5 мВ). Типичные значения $t_{\text{пер}}$ у ИМС компараторов близки к 100 нс, что почти в десять раз меньше, чем у компараторов на ИМС ОУ.

ЛИТЕРАТУРА

1. *Алексенко А.Г., Коломбет Е.А., Стародуб Е.И.* Применение прецизионных аналоговых микросхем. — М.: Радио и связь, 1985. С. 175—190.

2. *Шило В.Л.* Линейные интегральные схемы в радиоэлектронной аппаратуре. — М.: Советское радио, 1979. С. 215—231.

ГЛАВА 13

ФОРМИРОВАТЕЛИ ИМПУЛЬСОВ

13.1. Общие сведения

В цифровой технике применяют цепи и устройства, формирующие напряжения одной формы из напряжения другой. Такую задачу можно решить, используя, в частности, линейные элементы. Если ко входу линейной цепи приложено синусоидальное напряжение, то напряжение на любом ее элементе имеет такую же форму. Если же входное напряжение является суммой гармоник разных частот, а линейная цепь содержит частотно-зависимый элемент (например, конденсатор, индуктивную катушку), то форма напряжения на ее элементах не повторяет формы входного напряжения. Это объясняется тем, что гармоники входного напряжения по-разному пропускаются такой цепью. В результате соотношения между их амплитудами, а также между фазами на входе цепи и на ее элементах не одинаковы. Указанное свойство положено в основу формирования импульсов с помощью линейных цепей.

Формирователи импульсов обеспечивают получение остроконечных и пилообразных импульсов, импульсов трапецеидальной формы, коротких прямоугольных импульсов. Варианты формирователей (рис. 13.1) на линейных цепях рассматриваются в последующих параграфах.

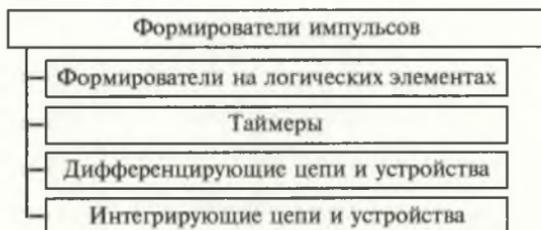


Рис. 13.1

13.2. Формирователи импульсов на логических элементах

Возможность построения формирователя на логическом элементе обусловлена тем, что он может иметь несколько входов, по каждому из которых может управляться. Принцип действия такого формирователя на двухвходовом элементе сводится к следующему. Если на один вход элемента подать переключающий перепад в момент t_1 , а на другой — в момент t_2 , то на выходе элемента сформируется прямоугольный импульс длительностью $t_u = t_2 - t_1$.

Рассмотрим формирователь на элементе И-НЕ, на выходе которого может формироваться импульс на уровне U^0 . В интервале времени $t_1 - t_2$ (рис. 13.2, а) на входах двухвходового элемента должны быть лог. 1, что показано цифрами на соответствующем участке выходного импульса. До момента t_1 на одном из входов должен быть лог. 0; наличие двух лог. 0 следует исключить, так как переход на выходе от лог. 1 к лог. 0 должен происходить при изменении логической переменной только на одном входе элемента. Переключение в момент t_2 происходит за счет смены лог. 1 на лог. 0 на другом входе элемента.

На рис. 13.2, б изображен импульс с уровнем U^1 , который может формироваться на выходе элемента ИЛИ-НЕ; на его участках цифрами показаны комбинации логических уровней на входах элемента, обеспечивающие формирование этих участков.

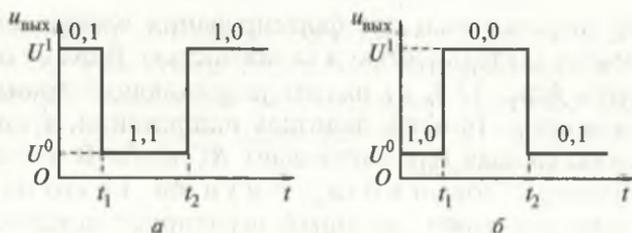


Рис. 13.2

13.3. Формирователь коротких импульсов на логических элементах

При формировании импульсов малой длительности (десятки-сотни наносекунд) можно использовать временную задержку, которую создают логические элементы (рис. 13.3).



Рис. 13.3

До поступления входного импульса $u_{\text{вх}} = U^0$, на верхнем (по схеме) входе Э₂ присутствует лог. 0 и $u_{\text{вых}} = U^1$. При этом на другой вход Э₂ через элементы временной задержки поступает лог. 1, что легко проследить по схеме.

С приходом входного импульса и на верхнем входе Э₂ появляется лог. 1, за счет чего $u_{\text{вых}} = U^0$. Такой уровень будет сохраняться, пока изменившийся потенциал на выходе Э₁ не поступит на нижний вход Э₂. Чтобы не осуществлять инвертирования сигнала, число элементов, создающих задержки, должно быть четным.

Элементы Э₁ и Э₂ выбирают с малой задержкой, что обеспечивает высокую крутизну фронтов выходного импульса. Собственные задержки микросхем имеют большой разброс и нестабильны. Поэтому формирователи, построенные по схеме рис. 13.3, применяют когда стабильность длительности выходного импульса особой роли не играет.

13.4. Таймеры

Таймер предназначен для формирования импульсов с устанавливаемыми длительностью и скважностью. В схему одноконтурного таймера (рис. 13.4, а) входит разряжающий транзистор — ключ, компаратор, триггер, делитель напряжения, а также внешняя времязадающая (хронирующая) RC-цепь. В исходном состоянии триггер сброшен в 0 ($u_{\text{вых}} = u^0$) и лог. 1 с его инверсного выхода замыкает ключ, который шунтирует конденсатор С. В результате на выходе компаратора К устанавливается лог. 0 и поэтому $S = 0$, $R = 0$. С поступлением короткого запускающего импульса триггер по прямому выходу переключается в 1 ($Q = 0$), ключ размыкается и конденсатор С начинает заряжаться от источника Е с постоянной времени $\tau = CR$. Когда напряжение на нем чуть превысит значение $U_{\text{он}}$ (см. рис. 13.4), компаратор переключается в 1 ($S = 0$, $R = 1$), триггер устанавливается в 0 ($P = 0$, $Q = 1$) — ключ замыкается, конденсатор через него быстро разряжается и поэтому компаратор переключается в 0 ($S = 0$, $R = 0$).

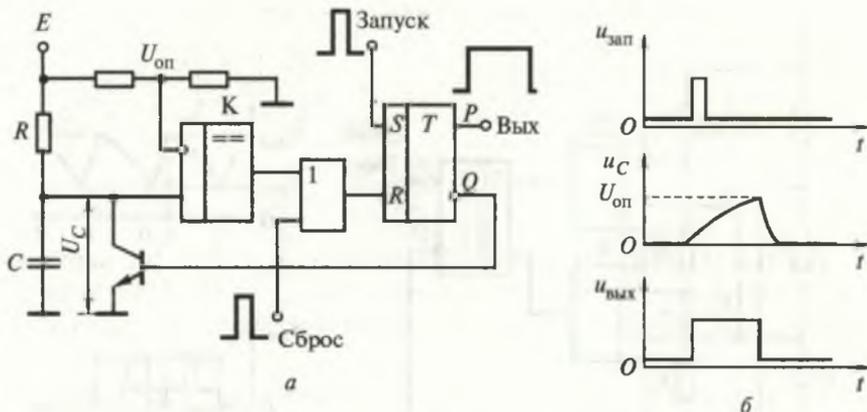


Рис. 13.4

На этом такт заканчивается: схема переходит в исходное устойчивое состояние, в котором пребывает до поступления следующего запускающего импульса. Длительность импульса, формируемого на выходе схемы, зависит от значений τ и опорного напряжения $U_{оп}$.

На базе одноконтного таймера реализуется ждущий мультивибратор (рис. 13.4, б). Длительность формируемого им импульса $t_{и}$ можно определить, исходя из того, что конденсатор C заряжается от источника E через резистор R до напряжения $u_c = U_{оп}$, после чего компаратор переключает триггер в 0 и зарядка конденсатора сменяется быстрой разрядкой через отпирающий ключ. Поэтому $u_c = E(1 - e^{-t/\tau})$, $E(1 - e^{-t_{и}/\tau}) = U_{оп}$, отсюда $t_{и} = \tau \ln[E/(E - U_{оп})]$ ($\tau = CR$ — постоянная времени зарядки конденсатора).

Учитывая, что $\tau = CR$, а опорное напряжение часто выбирают равным $U_{оп} = (2/3)E$, имеем

$$t_{и} = CR \ln 3 \approx 1,1CR.$$

Схема многотактного таймера, формирующего непрерывную последовательность импульсов, приведена на рис. 13.5, а. В отличие от схемы, представленной рис. 13.4, а, в нее входят два компаратора, задающих верхнюю и нижнюю границы, между которыми может изменяться напряжение на конденсаторе C . Рассмотрение работы схемы начнем с момента t_1 (рис. 13.5, б), когда вследствие разрядки конденсатора C компаратор K_1 , а вслед за ним и триггер переключаются в состояние 1 ($S = 1, R = 0, P = 1, Q = 0$) и транзистор-ключ размыкается. После этого конденсатор начинает заряжаться от источника E через резисторы R_1 и R_2 .

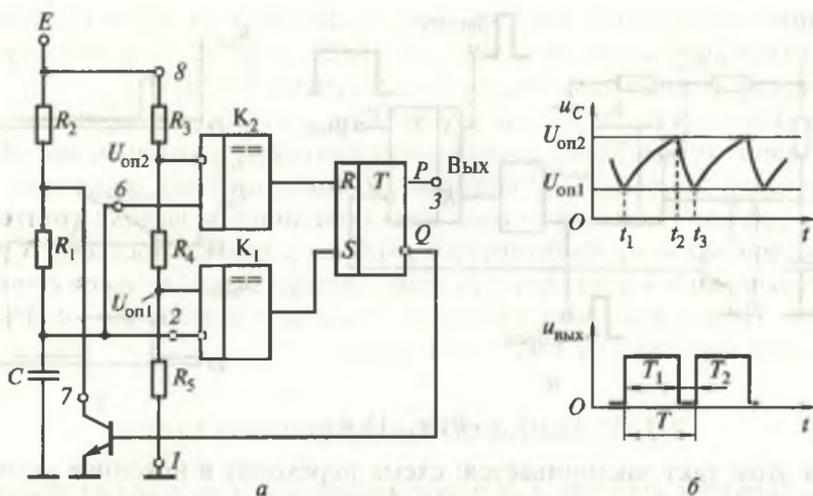


Рис. 13.5

Когда напряжение на нем u_c чуть превысит опорное U_{on1} , компаратор K_1 переключится в 0, и на обоих входах триггера окажутся низкие потенциалы ($S = 0, R = 0$).

В процессе дальнейшей зарядки напряжение u_c нарастает. Когда оно чуть превысит U_{on2} (момент t_2 — рис. 13.5, б), компаратор K_2 переключится в 1 ($S = 0, R = 1$) и установит триггер в 0 ($P = 0, Q = 1$). Затем произойдет замыкание ключа, и конденсатор C через него и резистор R_1 начнет разряжаться. Когда u_c окажется чуть ниже U_{on2} , компаратор K_2 переключится в 0 ($S = 0, R = 0$), а когда u_c будет ниже U_{on1} (момент t_3 на рис. 13.5, б), компаратор K_1 переключится в 1 ($S = 1, R = 0$), триггер установится в 1 и ключ разомкнется — наступит этап, с которого было начато рассмотрение процесса.

На базе многотактного таймера выполняются автоколебательный мультивибратор и многие устройства, в которые он входит составной частью. Длительность импульса и паузы (см. рис 13.5, б) на выходе мультивибратора определяются соответственно зарядкой конденсатора от $u_c = U_{on1}$ до $u_c = U_{on2}$ и его разрядкой от $u_c = U_{on2}$ до $u_c = U_{on1}$. В выпускаемых промышленностью таймерах $U_{on1} = E/3, U_{on2} = 2E/3$. При этом нетрудно вывести следующие соотношения: $T_1 \approx 0,7C(R_1 + R_2), T_2 \approx 0,7CR_1, T = T_1 + T_2 \approx 0,7C(2R_1 + R_2)$.

Таймеры изготавливают в виде интегральных микросхем, которые кроме указанных на рис. 13.4, а элементов имеют, в частности, каскады блокировки. Подавая низкое напряжение на вне-

шний вывод такого каскада, можно заблокировать работу таймера. Оцифрованные на схеме рис. 13.5, *a* кружки соответствуют некоторым выводам микросхемы таймера 1006ВИ1.

Для получения весьма длительных импульсов (значительных временных задержек) выпускаются таймеры, в которых имеются счетчики — делители частоты с коэффициентом пересчета N . На выходе такого счетчика, подключенного к выходу триггера (см. рис. 13.4, *a*), формируется импульс с длительностью в N раз превышающей длительность заполняющих его импульсов с триггера. Некоторые типы таймеров допускают изменение коэффициента пересчета N таких счетчиков.

13.5. Дифференцирующие цепи

Принцип действия. Ток через конденсатор связан с напряжением на нем дифференциальной зависимостью $i_C = C \frac{du_C}{dt}$. Чтобы воспользоваться результатом дифференцирования, нужно создать напряжение, пропорциональное току i_C . Это имеет место в цепи, в которой выходное напряжение снимается с резистора R (рис. 13.6):

$$u_{\text{вых}} = i_C R = RC \frac{du_C}{dt} = \tau \frac{du_C}{dt} \quad (13.1)$$

где $\tau = RC$ — постоянная времени цепи.

Однако напряжение на входе этой цепи $u_{\text{вх}}$, которое должно подвергаться дифференцированию, отличается от u_C в правой части равенства (13.1). Оценим погрешность, обусловленную их разностью:

$$u_{\text{вых}} = \tau \frac{du_C}{dt} = \tau \frac{d}{dt} (u_{\text{вх}} - u_{\text{вых}}) = \tau \frac{du_{\text{вх}}}{dt} - \tau \frac{du_{\text{вых}}}{dt} \quad (13.2)$$

Первый член правой части равенства (13.2) представляет собой полезный результат дифференцирования, второй член — ошибку, которая уменьшается с уменьшением τ (но при этом одинаково уменьшается и полезный результат) и отсутствует при $\frac{du_{\text{вых}}}{dt} = 0$, т. е. когда $u_{\text{вых}} = U = \text{const}$ (в частности, когда $u_{\text{вх}} = 0$). Значение $u_{\text{вых}} = \text{const}$ имеет место, когда дифференцируется линейно изменяющееся напря-

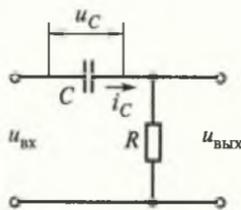


Рис. 13.6

жение $u_{\text{вх}} = \alpha t$, (α — определяет скорость нарастания, В/с). Отсутствие ошибки при $u_{\text{вых}} = U = \text{const}$ объясняется тем, что в этом случае напряжение на конденсаторе ($u_C = u_{\text{вх}} - U$) изменяется по тому же закону, что и $u_{\text{вх}}$. Поэтому

$$du_C/dt = d(u_{\text{вх}} - U)/dt = du_{\text{вх}}/dt, \quad u_{\text{вых}} = \tau du_C/dt = \tau du_{\text{вх}}/dt,$$

т. е. выходное напряжение пропорционально производной входного напряжения.

Рассмотрим реакцию цепи на прямоугольный импульс длительностью $t_{\text{и}}$ (рис. 13.7). В момент t_1 к цепи прикладывается напряжение $u_{\text{вх}} = U_m$. Так как конденсатор C мгновенно зарядиться не может, то скачок напряжения выделяется на выходе. При малой постоянной времени τ зарядка конденсатора происходит сравнительно быстро, а напряжение на выходе с той же скоростью стремится к нулю — на выходе формируется положительный остроконечный импульс с амплитудой U_m . С момента окончания входного импульса в цепи действует только напряжение u_C , которое через генератор импульсов (его внутреннее сопротивление считаем равным нулю) прикладывается к выходу, т. е. $U_{\text{вых}}$ с точностью до знака повторяет напряжение u_C . Поэтому в момент t_2 на выходе цепи появляется напряжение U_m с отрицательной полярностью на верхнем выводе резистора R и с положительной полярностью на нижнем выводе (см. рис. 13.7, б). Этот отрицательный перепад быстро спадает до 0, так как конденсатор быстро разряжается — на выходе формируется отрицательный остроконечный импульс.

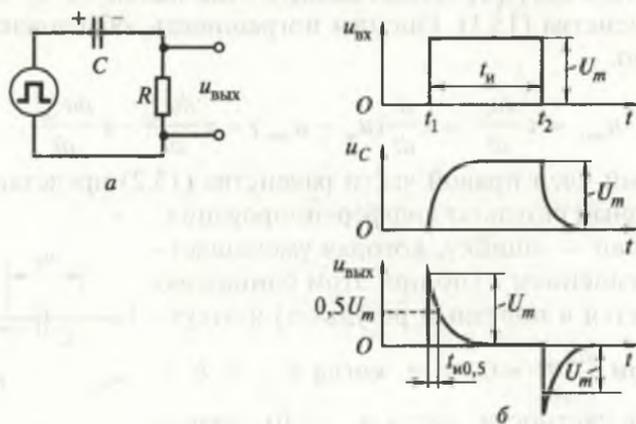


Рис. 13.7

RC-цепь (рис. 13.7, а) с постоянной времени, много меньшей длительности входного импульса, называют дифференцирующей. Наиболее часто такую цепь используют для дифференцирования прямоугольных импульсов, в результате которого получаются короткие остrokонечные импульсы. Поэтому дифференцирующую цепь называют также укорачивающей и обостряющей.

Остrokонечные импульсы широко используются, в частности для запуска импульсных устройств. Сохраняя, по существу, крутой фронт исходного прямоугольного импульса, остrokонечный импульс спадает настолько быстро, что не влияет на последующую работу запускаемого устройства.

Длительность t_n остrokонечных импульсов на выходе дифференцирующей цепи оценивается на определенном уровне: длительность по основанию оказывается бесконечно большой, так как напряжение спадает экспоненциально. Обычно t_n определяют на уровне $0,5U_m$. В соответствии с этим запишем: $0,5U_m = U_m \exp(-t_n/\tau)$, откуда $\ln 0,5 = -t_n/\tau$ или

$$t_{n0,5} = \tau \ln 2.$$

Переходя от натуральных логарифмов к десятичным, получаем

$$t_{n0,5} = 2,3\tau \lg 2 = 0,7\tau.$$

Чем меньше постоянная времени цепи τ , тем быстрее заряжается и разряжается конденсатор и тем меньшую длительность имеют выходные импульсы, тем более остrokонечными они являются.

Однако уменьшать τ целесообразно до определенного предела. Когда τ окажется меньше длительности фронтов импульса t_ϕ , цепь будет их дифференцировать, и на выходе появится пара приплюснутых импульсов с длительностью t_ϕ и амплитудой $U_m \tau/t_\phi$.

Существенное изменение формы входных импульсов в процессе дифференцирования легко объяснить, рассматривая их как совокупность гармоник, каждая из которых делится между конденсатором и резистором. Для низкочастотных гармоник, составляющих плоскую вершину входного импульса, сопротивление конденсатора $x_C = 1/(\omega C)$ оказывается много больше сопротивления резистора R . Поэтому на выход плоская вершина почти не передается.

13.6. Интегрирующие цепи

Принцип действия. Напряжение на конденсаторе связано с током, протекающим через него, интегральной зависимостью

$$U_c = (1/C) \int_0^t i_c dt, \quad (13.3)$$

где C — емкость конденсатора; t — время интегрирования.

Будем считать, что начальный заряд конденсатора равен нулю. Тогда выражение (13.3) определяет полное напряжение на конденсаторе.

Чтобы интегрировать заданное напряжение $u_{вх}$, стоящий под знаком интеграла ток i_c должен изменяться по тому же закону, что и $u_{вх}$. До некоторой степени это обеспечивает RC -цепь (рис. 13.8, а), постоянная времени которой много больше времени интегрирования t ($\tau = RC \gg t$). Такую цепь называют интегрирующей.

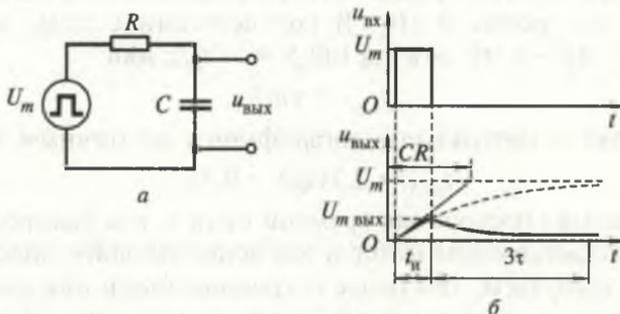


Рис. 13.8

Если $t \ll \tau$, то за время t напряжение u_c не успеет существенно измениться. В этом случае ток в цепи $i = (u_{вх} - u_c)/R \approx u_{вх}/R$, т. е. приблизительно пропорционален $u_{вх}$, а

$$U_{вых} = 1/C \int_0^t i dt \approx (1/CR) \int_0^t u_{вх} dt = (1/\tau) \int_0^t u_{вх} dt.$$

По мере зарядки конденсатора ток в цепи изменяется, даже если $u_{вх} = \text{const}$, что является причиной погрешности интегрирования. Ее величину легко определить для случая, когда на входе действует постоянное напряжение $u_{вх} = U$. Тогда напряжение на выходе нарастает по экспоненциальному закону: $u_{вых} = U[1 - \exp(-t/\tau)]$.

Раскладывая $e^{-t/\tau}$ в ряд по степеням t/τ , получаем

$$e^{-t/\tau} = 1 - t/\tau + (1/2)(t/\tau)^2 - (1/6)(t/\tau)^3 + \dots;$$

$$u_{\text{вых}} = U(1 - e^{-t/\tau}) = U[t/\tau - (1/2)(t/\tau)^2 + (1/6)(t/\tau)^3 - \dots] = \\ = U \frac{t}{\tau} \left[1 - \frac{1}{2} \left(\frac{t}{\tau} \right) + \frac{1}{6} \left(\frac{t}{\tau} \right) - \dots \right]$$

Если время интегрирования $t \ll \tau$, то можно ограничиться первыми двумя членами разложения, т. е. считать

$$u_{\text{вых}} \approx U \frac{t}{\tau} \left(1 - \frac{1}{2} \frac{t}{\tau} \right)$$

Первый член этого выражения пропорционален интегралу входного напряжения $u_{\text{вх}} = U$; действительно,

$$U \frac{t}{\tau} = (1/\tau) \int_0^t U dt.$$

Второй член представляет собой ошибку, которая тем меньше, чем сильнее неравенство $\tau \gg t$. Однако с уменьшением ошибки пропорционально уменьшается результат интегрирования $U \frac{t}{\tau}$.

Относительная погрешность, выраженная в процентах, равна $\delta = \frac{1}{2} \frac{t}{\tau} 100 = 50 \frac{t}{\tau}$. Отсюда можно определить предельное время t интегрирования прямоугольного импульса, при котором ошибка не превосходит допустимого значения δ : $t \leq \tau \delta / 50$.

Интегрирование одиночного импульса. Рассмотрим реакцию интегрирующей цепи на воздействие прямоугольного импульса (см. рис. 13.8, б). Конденсатор C не может мгновенно зарядиться, поэтому в момент поступления на вход цепи прямоугольного импульса все входное напряжение выделяется на резисторе R , а $u_{\text{вых}} = u_C = 0$. За время действия импульса конденсатор медленно заряжается по экспоненциальному закону:

$$u_C = u_{\text{вых}} = U_m [1 - \exp(-t/\tau)].$$

К моменту окончания входного импульса ($t = t_n$) напряжение на выходе достигает значения

$$U_m = U_m [1 - \exp(t_n/\tau)],$$

после чего конденсатор медленно разряжается через резистор и напряжение $u_{\text{вых}}$ постепенно уменьшается.

Можно считать, что через время $t = 3\tau$ после окончания входного импульса конденсатор C практически разрядится, т. е. длитель-

ность импульса на выходе рассматриваемой цепи $t_{и\text{вых}} = t_{и} + 3\tau$. Поскольку по условию $\tau \gg t_{и}$, то $t_{и\text{вых}} \approx 3\tau$. Таким образом, при $\tau \gg t_{и}$ на выходе цепи выделяются растянутые пилообразные импульсы с амплитудой $U_{m\text{вых}} < U_m$. Поэтому такую цепь называют удлиняющей или сглаживающей. Интегрирующие цепи применяются в вычислительных устройствах, селекторах, телевизионной технике и т. д.

Существенное изменение формы входного импульса при интегрировании легко объяснить, рассматривая импульс как совокупность ряда гармоник. Действительно, при $\tau = RC \gg t_{и}$ сопротивление конденсатора $x_C = 1/(\omega C)$ оказывается много меньше сопротивления резистора R не только для высокочастотных гармоник, составляющих фронты входного импульса, но даже и для низкочастотных гармоник, формирующих его плоскую вершину. Вследствие этого большая часть напряжения всех участков входного импульса выделяется на резисторе R , а не на выходе цепи.

Интегрирование импульсной последовательности. На рис. 13.9 показано воздействие на интегрирующую цепь последовательности прямоугольных импульсов длительностью $t_{и}$, пауза между которыми равна $t_{п}$. Для простоты будем считать, что τ — постоянная времени цепи — значительно превышает не только $t_{и}$, но и период повторения входных импульсов. Покажем, что напряжение на конденсаторе постепенно нарастает, несмотря на то, что для линейной цепи постоянные времени зарядки и разрядки конденсатора одинаковы ($\tau_3 = \tau_p = \tau$).

При поступлении первого входного импульса конденсатор начинает заряжаться под действием полного напряжения $U_{m\text{вх}}$. Так как $\tau \gg t_{и}$, то к моменту окончания этого импульса напряжение на конденсаторе нарастает до значения

$$U_{\text{вых}1} = U_{m\text{вх}}[1 - \exp(-t_{и}/\tau)] \ll U_{m\text{вх}}$$

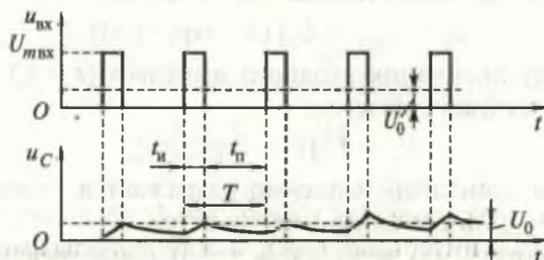


Рис. 13.9

С начала первой паузы конденсатор разряжается и напряжение на нем экспоненциально уменьшается от значения $U_{\text{вых } 1}$, т. е. разрядка происходит под действием значительно меньшего напряжения, чем зарядка. К моменту поступления второго импульса на конденсаторе остается некоторое напряжение

$$U_{\text{ост } 1} = U_{\text{вых } 1} \exp(-t_{\text{п}}/\tau),$$

где $t_{\text{п}}$ — длительность паузы.

Под действием второго импульса конденсатор снова заряжается, но теперь под влиянием перепада напряжения $U_{\text{м вх}} - U_{\text{ост } 1}$, т. е. меньшего чем в начале. К моменту окончания второго импульса напряжение на конденсаторе

$$U_{\text{вых } 2} = U_{\text{ост } 1} + (U_{\text{м вх}} - U_{\text{ост } 1})[1 - \exp(-t_{\text{п}}/\tau)].$$

После этого разрядка конденсатора происходит более интенсивно, чем во время первой паузы, так как $U_{\text{вых } 2} > U_{\text{вых } 1}$.

Рассуждая аналогично, нетрудно убедиться, что каждый последующий импульс сообщает конденсатору меньший заряд, чем предыдущий, поскольку он обуславливается все меньшим перепадом напряжения $U_{\text{м вх}} - U_{\text{ост } n}$. В то же время за каждую последующую паузу конденсатор разряжается больше, чем за предыдущую, так как напряжение на нем $U_{\text{вых } n}$ возрастает. В результате этого напряжение на конденсаторе достигает некоторого значения U_0 , при котором заряд, получаемый конденсатором во время действия входного импульса, оказывается равным заряду, теряемому при разрядке в паузе, и медленно меняется около него, так что

$$U_{\text{вых}} \approx U_0 = \text{const.} \quad (13.4)$$

Выражение (13.2) позволяет считать, что в процессе зарядки (и разрядки) ток в цепи практически не меняется. Это выполняется тем точнее, чем больше постоянная времени цепи τ .

Заряд, приобретаемый конденсатором в течение времени $t_{\text{п}}$, равен

$$\Delta q_1 = i t_{\text{п}}.$$

Поскольку при зарядке ток в цепи

$$i = (U_{\text{м вх}} - U_0)/R,$$

то $\Delta q' = (U_{\text{м вх}} - U_0) t_{\text{п}}/R$.

В процессе разрядки ток в цепи $i = U_0/R$ и заряд, теряемый конденсатором в интервале $T - t_{\text{п}}$ между импульсами, равен

$$\Delta q'' = i(T - t_{\text{п}}) = U_0(T - t_{\text{п}})/R.$$

Приравнивая $\Delta q'$ и $\Delta q''$, находим

$$U_0 = U_{m \text{ вх}} t_n / \tau = \gamma U_{m \text{ вх}},$$

где $\gamma = t_n / \tau$ — коэффициент заполнения.

Таким образом, напряжение на выходе интегрирующей цепи равно среднему значению входного напряжения, т. е. его постоянной составляющей.

Приведенные рассуждения физически очевидны. Действительно, конденсатор не пропускает постоянную составляющую тока I , поэтому на резисторе R не может быть постоянной составляющей напряжения ($U_R = IR$). А так как входное напряжение содержит постоянную составляющую, то она должна выделяться на конденсаторе. Теперь должно быть ясно, что при $\tau_3 = \tau_p = \tau$ напряжение на конденсаторе постепенно нарастает не только в случае, когда $\tau \gg T$, а и при любом значении γ входных импульсов, хотя время, за которое это напряжение станет равно постоянной составляющей $u_{\text{вх}}$, различно (при изменении γ и постоянной амплитуде $U_{m \text{ вх}}$ разными являются и постоянные составляющие входного напряжения). Исключение составляет случай, когда $\tau_3 = \tau_p = \tau \ll t_n$, так как при этом конденсатор успевает полностью зарядиться за время действия импульса и полностью разрядиться в паузе. Однако при $\tau \ll t_n$ RC -цепь не является интегрирующей.

13.7. Интеграторы и дифференциаторы на интегральных микросхемах операционных усилителей

13.7.1. Интегратор

На рис. 13.10, а изображен интегратор на интегральной микросхеме операционного усилителя (ИМС ОУ).

Вначале будем считать, что ИМС ОУ является идеальной. При этом ввиду бесконечно большого коэффициента усиления ИМС напряжение $u_0 = 0$, благодаря чему $u_{\text{вх}} = -u_C$, а ток

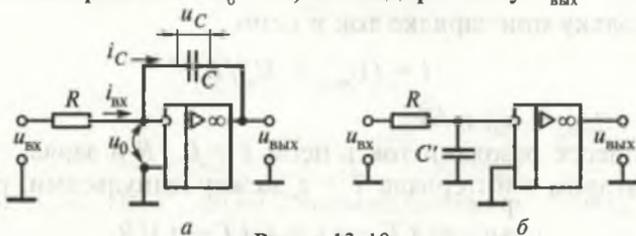


Рис. 13.10

$i_{\text{вх}} = (u_{\text{вх}} - u_0)/R = u_{\text{вх}}/R$. Наряду с этим из-за бесконечного входного сопротивления ИМС имеет место равенство токов: $i_{\text{вх}} = i_C$, т. е. конденсатор заряжается током, пропорциональным входному напряжению: $i_C = i_{\text{вх}}$.

Приведенные выражения позволяют представить известное соотношение между напряжением u_C на конденсаторе и током i_C через него в следующем виде:

$$u_{\text{вых}} = -u_C = -\frac{1}{C} \int_0^t i_C dt = -\frac{1}{RC} \int_0^t u_{\text{вх}} dt.$$

Таким образом, напряжение на выходе рассматриваемой схемы пропорционально точному значению интеграла входного напряжения.

Реальные ИМС ОУ не обеспечивают точного интегрирования. Оценим погрешность, обусловленную конечным значением коэффициента усиления K ИМС ОУ. Напряжение, под которым находится конденсатор C , равно

$$u_C = u_0 - (-u_{\text{вых}}) = u_0 + u_{\text{вых}} = u_0 + u_0 K = u_0(K + 1) \approx Ku_0,$$

где $K \gg 1$ — коэффициент усиления ИМС ОУ, а «-» в скобках выражает разную полярность напряжений u_0 и $u_{\text{вых}}$.

Предположим, что напряжение на конденсаторе C в K раз меньше указанного: $u_C = u_0$. Чтобы скорость зарядки конденсатора (она пропорциональна току) осталась прежней (как при $u_C = Ku_0$),

ток через него ($i_C = C \frac{du_C}{dt}$) не должен измениться. Из приведенного выражения следует, что для этого емкость конденсатора нужно принять равной KC . Кроме того, напряжение, выделяющееся на конденсаторе, следует в K раз усилить с тем, чтобы выходное напряжение не отличалось от реального.

Схема, эквивалентная в расчетном отношении исходной (см. рис. 13.10, а) и составленная в соответствии с приведенными рассуждениями, приведена на рис. 13.10, б. Из нее следует, что интегратор на ИМС ОУ эквивалентен интегрирующей цепи с резистором R и конденсатором емкостью $C = CK$, напряжение которого усиливается в K раз.

Если ко входу интегратора приложен *постоянный уровень* напряжения $u_{\text{вх}} = U = \text{const}$, то по расчетной схеме, представленной на рис. 13.10, б имеем

$$u_C = U(1 - e^{-t/(KRC)}), \quad u_{\text{вых}} = UK(1 - e^{-t/(KRC)}), \quad (13.5)$$

т. е. выходное напряжение (кривая 1 на рис. 13.11) экспоненциально стремится к уровню KU с постоянной времени KRC . Между тем,

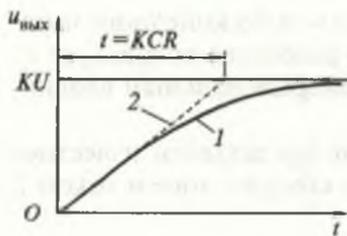


Рис. 13.11

результат идеального интегрирования (площадь под кривой входного напряжения) при $u_{\text{вх}} = U = \text{const}$ увеличивается пропорционально времени интегрирования t (прямая 2 на рис. 13.11):

$$u_{\text{вых}} = KU t / (KRC) = Ut / (RC),$$

т. е. отличается от реального результата.

Раскладывая $e^{-t/(KRC)}$ в степенной ряд, получим из выражения (13.5)

$$u_{\text{вых}} = UK \left\{ 1 - \left[1 - \frac{t}{KRC} + \frac{1}{2} \left(\frac{t}{KRC} \right)^2 - \dots \right] \right\} = \frac{Ut}{RC} \left(1 - \frac{t}{2RCK} + \dots \right)$$

Таким образом, результат реального интегрирования напряжения $u_{\text{вх}} = U$ отличается от идеального $Ut/(RC)$ меньше чем на $t/2RCK$. Эта погрешность в K раз меньше той, которую дает пассивная RC -цепь при одинаковом выходном напряжении $Ut/(RC)$, т. е. при одинаковом времени интегрирования.

Выигрыш в точности можно реализовать иначе: при одинаковых допустимых погрешностях интегрирование операционным усилителем постоянного уровня может длиться в K раз большее время t , чем пассивной RC -цепью, что обеспечивает в K раз большее выходное напряжение.

При рассмотрении схемы, приведенной на рис. 13.10, б, может показаться, что интегратор на ОУ можно заменить пассивной цепью R - KC , усиливая в K раз напряжение на конденсаторе с емкостью KC . Однако обеспечить стабильную работу усилителя с большим коэффициентом усиления без обратной связи практически невозможно, а получение конденсатора весьма большой емкости представляет определенную трудность.

13.7.2. Дифференциатор

Схема дифференциатора на ИМС ОУ приведена на рис. 13.12, а. Если считать ИМС ОУ идеальной, то $u_0 = 0$ и $i_C = i_R$. Поэтому $u_C = u_{\text{вх}} - u_0 \approx u_{\text{вх}}$, $u_{\text{вых}} = -u_R$. В результате имеем:

$$i_C = C \frac{du_C}{dt} = C \frac{du_{\text{вх}}}{dt}; \quad i_R = i_C = C \frac{du_{\text{вх}}}{dt}; \quad u_{\text{вых}} = -u_R = -RC \frac{du_{\text{вх}}}{dt}.$$

Таким образом, напряжение на выходе рассматриваемой схемы пропорционально точному значению производной входного напряжения.

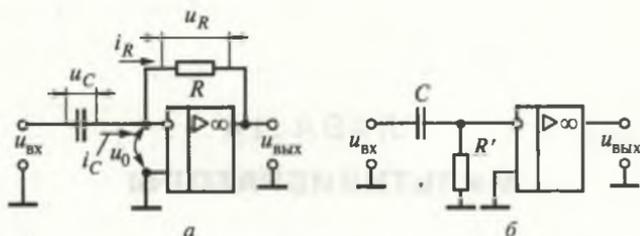


Рис. 13.12

Реальная ИМС ОУ не обеспечивает безошибочного дифференцирования. Однако чем больше ее коэффициент усиления K , тем меньше напряжение u_0 (см. рис. 13.12, *a*), тем меньше раз-

ность $u_{вх}$ и u_C и тем больше ток конденсатора ($i_C = C \frac{du_C}{dt}$) соответствует производной входного напряжения. Наряду с этим при увеличении K напряжение ($-u_R$) все меньше отличается по модулю от напряжения $u_{вых}$, что дополнительно снижает погрешность.

Чтобы составить схему, эквивалентную в расчетном отношении схеме рис. 13.12, *a*, надо иметь в виду, что резистор R находится под напряжением $u_R = u_0 K$, а ток конденсатора C $i_C = i_R = u_R/R = u_0 K/R$.

Если считать, что резистор R находится под напряжением, в K раз меньшим ($u_R = u_0$), то прежнее значение тока через конденсатор получится при $R' = R/K$. Для идентичности эквивалентной и реальной схем напряжение с резистора R' должно быть в K раз увеличено.

Из эквивалентной схемы (см. рис. 13.12, *b*) следует, что дифференциатор на ИМС ОУ можно рассматривать как дифференцирующую цепь с конденсатором C и резистором $R' = R/K$, напряжение с которого усиливается в K раз.

Сказанное об интеграторе на ИМС ОУ в равной степени относится к дифференциатору: его нельзя равноценно заменить цепью C - R/K и усилителем без обратной связи. Необходимо отметить, что дифференциатор на ИМС ОУ подчеркивает (обостряет) помехи, которые могут сопровождать сигналы, а также склонен к самовозбуждению.

ЛИТЕРАТУРА

1. Зельдин Е.А. Импульсные устройства на микросхемах. — М.: Радио и связь, 1991. С. 66—68, 103—107.
2. Фролкин В.Т., Попов Л.Н. Импульсные и цифровые устройства. — М.: Радио и связь, 1992. С. 28—30, 31—33.

ГЛАВА 14

МУЛЬТИВИБРАТОРЫ

14.1. Общие сведения

Колебания, в которых медленные изменения чередуются со скачкообразными, называют релаксационными, а их источники — релаксационными генераторами. Такими колебаниями являются, в частности, последовательности прямоугольных и пилообразных импульсов.

Подобно генераторам синусоидальных (гармонических) напряжений, релаксационные генераторы преобразуют энергию источника постоянного тока в энергию электрических колебаний. Однако если в генераторе гармонических колебаний *LC*-типа происходит непрерывный обмен энергией между конденсатором и катушкой контура и за период расходуется обычно небольшая часть энергии, полученной от источника, то в релаксационном генераторе в течение одной части периода энергия запасается в реактивном элементе только одного типа, обычно в конденсаторе, а в другую часть периода выделяется в виде теплоты в резисторах схемы. Усилительный элемент работает в данном случае в ключевом режиме, переключая конденсатор с зарядки на разрядку и обратно.

К релаксационным генераторам относятся мультивибраторы, генераторы пилообразных импульсов, блокинг-генераторы. В цифровой технике чаще применяются генераторы прямоугольных импульсов, которые могут работать в автоколебательном и ждущем режимах, а также в режиме синхронизации и деления частоты.

В автоколебательном режиме колебания генерируются непрерывно. В ждущем режиме генератор «ждет» поступления запускающего сигнала, с приходом которого выдает один импульс. Именно эти режимы в цифровых устройствах используют наиболее часто.

Мультивибраторы изготавливают в виде монолитных интегральных микросхем, выполняют на операционных усилителях, цифровых интегральных схемах, а также на дискретных компо-

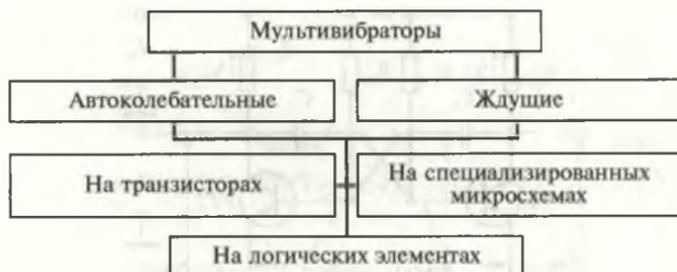


Рис. 14.1

нентах; в последнем случае их активными элементами обычно являются транзисторы как $p-n-p$ -, так и $n-p-n$ -проводимости.

Классификация мультивибраторов, описанных в данной главе, приведена на рис. 14.1.

14.2. Мультивибраторы на транзисторах

Прямоугольные импульсы имеют широкий спектр частот. Этим определяется название мультивибратора, означающее генератор множества колебаний. Наглядное представление о процессах в мультивибраторе можно получить из рассмотрения его схем на дискретных компонентах. Это тем более важно, что структуры микросхем мультивибраторов во многом повторяют схемы на дискретных компонентах.

14.2.1. Основная схема автоколебательного мультивибратора

Действие мультивибратора основано на следующих положениях. Прямоугольные импульсы формируются на коллекторах транзисторов: плоская вершина — когда транзистор заперт и его коллектор имеет относительно высокий (по абсолютному значению) потенциал; пауза между импульсами — когда транзистор насыщен и потенциал его коллектора мал. Как будет показано далее, продолжительности запертого и насыщенного состояний транзисторов (т. е. длительности генерируемых импульсов и пауз между ними) определяются процессами поочередной разрядки конденсаторов в плечах мультивибратора.

Мультивибратор, собранный по основной схеме (рис. 14.2), представляет собой двухкаскадный резистивный усилитель, по-

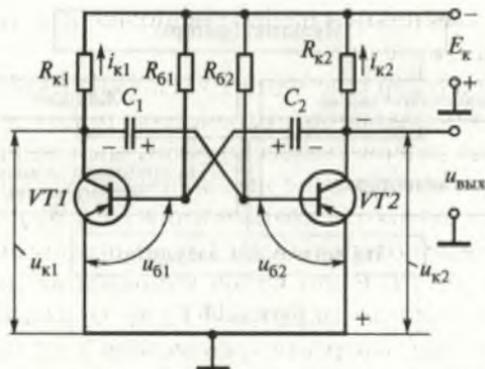


Рис. 14.2

строенный на транзисторных ключах-инверторах. Схема является симметричной, если оба ее плеча идентичны, т. е. идентичны транзисторы $VT1$ и $VT2$ и $R_{к1} = R_{к2}$, $R_{61} = R_{62}$ и $C_1 = C_2$.

При одновременно открытых транзисторах в схеме имеется положительная обратная связь за счет того, что выход одного ключа соединен со входом другого. Действительно, если относительно эмиттера потенциал базы транзистора $VT1$ станет, к примеру, более отрицательным, то $VT1$ откроется сильнее и потенциал его коллектора (и базы $VT2$) повысится (станет менее отрицательным), а потенциал коллектора $VT2$ (и базы $VT1$)

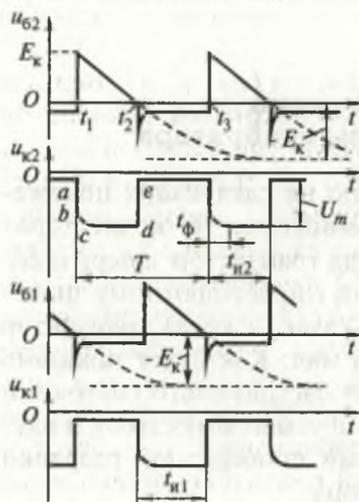


Рис. 14.3

станет более отрицательным. Так, к первоначальному приращению потенциала базы $VT1$ добавляется приращение того же знака, поступающее в исходную точку по петле обратной связи. Такое лавинообразное изменение потенциалов будет происходить до тех пор, пока транзистор $VT2$ не закроется, и за счет этого не разомкнется цепь положительной обратной связи. После этого $VT1$ окажется открытым, а $VT2$ — закрытым. При таком лавинообразном процессе на коллекторе $VT2$ формируется *передний фронт* отрицательного импульса (участок ab на рис. 14.3). Далее будет показано, что через некоторое время состояния

транзисторов поменяются на противоположные. И так будет происходить периодически.

В каждом полупериоде один транзистор закрыт, а другой открыт. Открывание закрытого транзистора, предположим $VT1$ (после чего начинает развиваться лавинообразный процесс), возможно за счет того, что напряжение на конденсаторе C_2 (в процессе его разрядки через открытый транзистор $VT2$ и $R_{\beta 1}$) окажется близким к нулю и через открытый $VT2$ будет приложено к промежутку база-эмиттер $VT1$. В это время напряжение на конденсаторе C_1 $u_{C1} \approx -E_k$ так как при закрытом $VT1$ он заряжался через промежуток эмиттер-база открытого транзистора $VT2$. При двух открытых транзисторах возникает лавинообразный процесс, после которого $VT1$ полностью открывается, а $VT2$ закрывается.

Во время весьма кратковременного лавинообразного процесса напряжения u_{C1} и u_{C2} не успевают измениться. После окончания «лавины» заряженный конденсатор C_1 через открывшийся транзистор $VT1$ удерживает закрытым транзистор $VT2$ (так как напряжение u_{C1} приложено к промежутку база-эмиттер $VT2$, т. е. фактически является напряжением $u_{\beta 2}$). Разряженный конденсатор C_2 быстро заряжается через небольшие сопротивления промежутка эмиттер-база $VT1$ и резистора $R_{\beta 2}$ в цепи коллектора закрывшегося транзистора $VT2$. Из-за этой зарядки потенциал коллектора $VT2$ не сразу устанавливается равным $-E_k$ (участок bc на рис. 14.3). Пока транзистор $VT1$ закрыт, потенциал его коллектора остается неизменным — формируется *плоская вершина* импульса (участок cd на рис. 14.3).

В это время конденсатор C_1 разряжается (см. $u_{\beta 2}$ в интервале $t_1 - t_2$ на рис. 14.3) по цепи: $+E_k$ — открытый транзистор $VT1$ — C_1 — $R_{\beta 2}$ — $(-E_k)$ и на его левую (по схеме) обкладку переносятся положительные заряды, что может привести к перезарядке (на рис. 14.3 показано пунктиром) C_1 — изменению полярности обкладок. Однако, как только напряжение u_{C1} окажется близким к нулю, транзистор $VT2$ начинает открываться, и в схеме вновь возникают условия для лавинного процесса. На коллекторе $VT2$ начнется формирование *заднего фронта* (*среза*) отрицательного импульса (участок de на рис. 14.3), в ходе которого $VT2$ полностью откроется, а $VT1$ закроется. Время, в течение которого напряжение на конденсаторе C_1 снижается от $u_{C1} = E_k$ до $u_{C1} \approx 0$, а затем сохраняется примерно равным нулю (транзистор $VT2$ остается открытым), составляет *паузу* между импульсами.

Дальнейшее поведение схемы аналогично описанному: начинает разряжаться конденсатор C_2 , удерживающий транзистор $VT1$ закрытым. Как только напряжение u_{C_2} окажется близким к нулю, транзистор $VT1$ откроется — возникает новая «лавина», после чего процессы в мультивибраторе будут повторять те, с которых мы начали рассмотрение его работы.

Очевидно, что длительность закрытых состояний транзисторов, т. е. длительность импульса и паузы определяются постоянными времени перезарядки конденсаторов: соответственно $\tau_1 = C_1 R_{62}$ и $\tau_2 = C_2 R_{61}$, поэтому цепи $C_1 R_{62}$ и $C_2 R_{61}$ называют *временами задающими*.

Основными параметрами мультивибратора являются:

- амплитуда генерируемых импульсов $U_m \approx E_k$,
- длительность импульсов $t_{и1}$ и $t_{и2}$ на коллекторах транзисторов $VT1$ и $VT2$ (см. рис. 14.3) $t_{и2} \approx 0,7 R_{62} C_1$, $t_{и1} \approx 0,7 R_{61} C_2$;
- длительность переднего фронта импульса $t_{ф} \approx 3CR_k$;
- период колебаний $T = t_{и2} + t_{и1} \approx 0,7(R_{62} C_1 + R_{61} C_2)$.

При $R_{62} = R_{61} = R$, $C_2 = C_1 = C$ (симметричный мультивибратор)

$$T = 1,4R_6 C.$$

У несимметричного мультивибратора длительности импульса и паузы не одинаковы за счет различной продолжительности закрытых состояний транзисторов $VT1$ и $VT2$.

Если с транзистора, например $VT2$, надо получить импульс короче паузы, то $VT2$ должен быть заперт меньшее время, чем $VT1$, т. е. конденсатор C_1 должен разряжаться быстрее, чем конденсатор C_2 ($C_1 R_{62} < C_2 R_{61}$).

Если требуется, к примеру, уменьшить $t_{и2}$, оставляя период T неизменным, то сумму $R_{62} C_2 + R_{62} C_1$ следует сохранить постоянной, а уменьшение $R_{62} C_1$ должно быть скомпенсировано соответствующим увеличением $R_{61} C_2$.

14.2.2. Ждущий мультивибратор

Для автоколебательного режима работы мультивибратора характерно отсутствие устойчивого состояния, вследствие чего схема непрерывно генерирует импульсы. В ряде случаев необходимо получать одиночные импульсы в определенный момент времени (например, для запуска устройства в фиксированный момент). Для решения такой задачи мультивибратору надо обеспечить только одно устойчивое состояние. Обычно его получают запирами-

ем усилительного элемента в одном из плеч мультивибратора, вследствие чего схема не может выйти из такого состояния самостоятельно. В этом случае для возникновения генерации необходим внешний запускающий импульс. Поскольку схема «ждет» такой импульс, рассматриваемый мультивибратор называют *ждущим*, а также *одновибратором* (при каждом запуске вырабатывается только один импульс).

Роль запускающего импульса сводится к тому, чтобы приоткрыть закрытый усилительный элемент, т. е. создать условия для возникновения лавинообразного процесса. Поэтому запускающий импульс должен иметь определенную полярность, а также соответствующие амплитуду и длительность. После опрокидывания (во время формирования импульса) схема находится в неустойчивом состоянии (аналогично автоколебательному мультивибратору), из которого лавинообразно возвращается в устойчивое (исходное) состояние. С поступлением следующего запускающего импульса начинается формирование нового импульса.

Ждущие мультивибраторы можно использовать как элементы задержки. Действительно, если импульсы, сформированные ждущим мультивибратором, укоротить (путем дифференцирования), а затем «срезать» импульсы, полярность которых соответствует полярности запускающих импульсов, то полученная последовательность окажется задержанной по отношению к последовательности запускающих. Время задержки t_3 соответствует пребыванию мультивибратора в неустойчивом состоянии.

На рис. 14.4 изображены временные диаграммы напряжений: запускающего, на коллекторах транзисторов и выходного напряжения после ограничения.

Схему ждущего мультивибратора (рис. 14.5) можно получить из схемы автоколебательного мультивибратора (см. рис. 14.2), если в нее ввести источник смещения $+E_6$. Для обеспечения устойчивого состояния необходимо закрыть транзистор $VT1$, т. е. выбрать $E_6 \geq I_{к0 \max} R_{61}$, где $I_{к0 \max}$ — обратный ток коллектора при максимальной рабочей температуре.

Исходное состояние схемы однозначно: транзистор $VT1$ закрыт источником смещения $+E_6$, а $VT2$ — насыщен. При этом конденсатор C_1 имеет

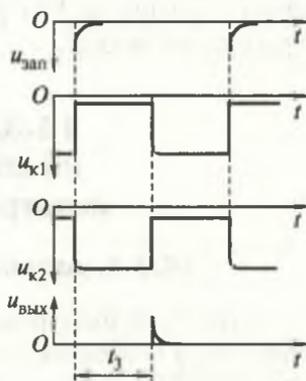


Рис. 14.4

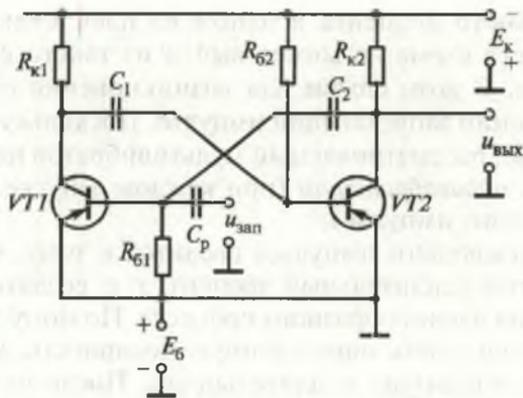


Рис. 14.5

возможность заряжаться по цепи: $+E_k$ — «земля» — эмиттерный переход транзистора $VT2$ — C_1 — R_k — $(-E_k)$.

Чтобы вывести схему из устойчивого состояния, на базу транзистора $VT1$ через разделительный конденсатор C_p подают отрицательный запускающий импульс. При двух открытых транзисторах развивается лавинообразный процесс, приводящий к опрокидыванию схемы: транзистор $VT1$ открывается, а $VT2$ закрывается.

Длительность импульса, сформированного на коллекторе $VT2$
 $t_{и} \approx 0,7 C_1 R_{г2}$.

Далее процессы в схеме протекают аналогично описанным для автоколебательного мультивибратора с той лишь разницей, что после следующей «лавины» ($VT1$ закрывается, $VT2$ открывается) транзистор $VT1$ за счет смещения $+E_b$ самостоятельно открыться не может.

14.3. Мультивибраторы на специализированных интегральных микросхемах

14.3.1. Автоколебательный мультивибратор

Структура интегрального автоколебательного мультивибратора (рис. 14.6) повторяет схему на дискретных элементах. Конденсаторы C_1 и C_2 времязадающих цепочек — навесные. Меняя их, можно регулировать длительность выходных импульсов. В ряде случаев

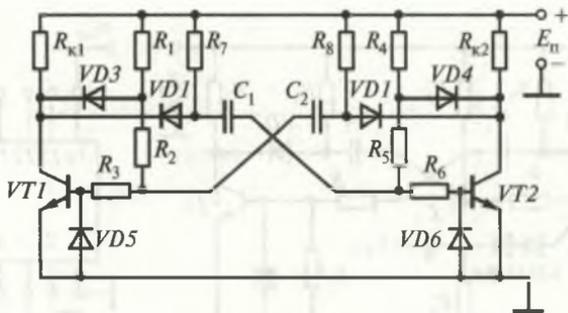


Рис. 14.6

эти конденсаторы выполнены внутри микросхем и имеют выводы для подключения параллельно им навесных конденсаторов.

Диоды $VD1$ и $VD2$ — корректирующие. Благодаря им зарядный ток конденсаторов C_1 , C_2 идет не через коллекторные резисторы $R_{к1}$, $R_{к2}$, а через резисторы R_7 , R_8 , чем достигается сокращение длительности переднего фронта импульса. Диоды $VD3$, $VD4$ и соответствующие резисторы R_1 , R_2 и R_4 , R_5 создают цепь отрицательной обратной связи, которая препятствует насыщению транзисторов и тем самым уменьшает время их переключения.

В схеме предусмотрена защита эмиттерно-базовых переходов транзисторов $VT1$ и $VT2$ диодами $VD5$, $VD6$ и резисторами R_3 , R_6 . Элементы R_3 , $VD5$ (R_6 , $VD6$) образуют делитель напряжения. При отрицательном перепаде, передающемся с коллектора через конденсатор, диод открыт — большая часть напряжения выделяется на резисторе, а незначительная — на прямосмещенном диоде ($U_{д\text{отк}} = -0,7$ В). В отсутствие этих элементов отрицательные перепады разрушают эмиттерно-базовый переход транзистора.

На рис. 14.7 приведено изображение специализированной микросхемы автоколебательного мультивибратора с навесными времязадающими конденсаторами C_1 и C_2 .

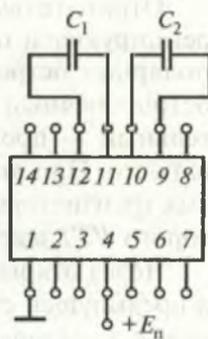


Рис. 14.7

14.3.2. Ждущий мультивибратор

На рис. 14.8, а изображена принципиальная схема ждущего мультивибратора на специализированной микросхеме. В отличие от микросхемы, представленной на рис. 14.6, она не имеет

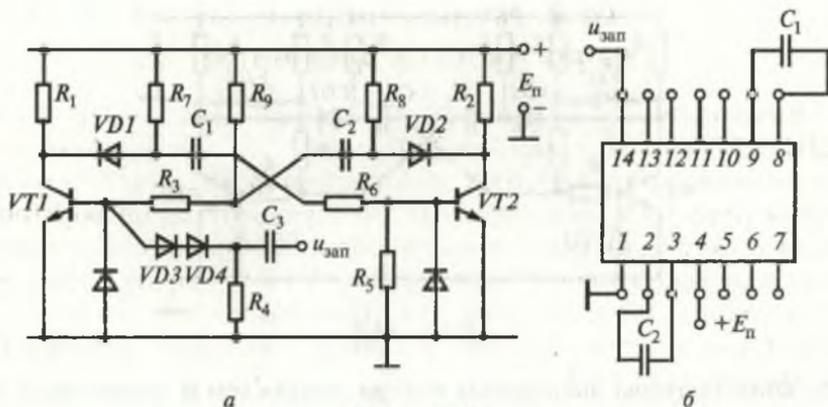


Рис. 14.8

нелинейной отрицательной обратной связи и содержит цепь запуска ($VD3$, $VD4$, R_4 , C_3). В исходном состоянии транзистор $VT2$ заперт, так как его база через резистор R_5 соединена с «землей»; транзистор $VT1$ открыт: его база соединена с $+E_n$ через резисторы R_9 , R_3 . В этом режиме конденсатор C_2 заряжен до напряжения, близкого к E_n , а напряжение на конденсаторе C_1 значительно меньше: оно равно сумме напряжений на отпертых диоде $VD1$ и транзисторе $VT1$.

Отрицательный запускающий импульс укорачивается дифференцирующей цепью C_3 — R_4 , в результате образуются два разнополярных остrokонечных импульса, после чего положительный остrokонечный импульс отсекается диодами $VD3$, $VD4$, а отрицательный — проходит на базу транзистора $VT1$, начиная закрывать его. При этом открывается транзистор $VT2$, при двух открытых транзисторах возникает лавинообразный процесс, после которого $VT1$ закрывается, а $VT2$ полностью открывается.

Через открытый транзистор $VT2$ конденсатор C_2 , заряженный в предыдущей стадии, удерживает транзистор $VT1$ закрытым. Наряду с этим зарядка конденсатора C_1 через резистор R_7 и открытый транзистор $VT2$ обеспечивает насыщенное состояние последнего. Выход схемы из этого неустойчивого состояния происходит в зависимости от соотношения емкостей C_1 , C_2 за счет разрядки конденсатора C_1 (когда открывается транзистор $VT1$) или за счет уменьшения тока зарядки конденсатора C_1 , когда транзистор $VT2$ переходит в активный режим и положительный перепад напряжения с его коллектора начинает отпирание транзистора $VT1$.

На рис. 14.8, б изображена специализированная микросхема ждущего мультивибратора с навесными конденсаторами C_1 и C_2 .

14.4. Мультивибраторы на логических элементах

Выходным каскадом цифровых интегральных схем И-НЕ и ИЛИ-НЕ является усилитель (инвертор). Это дает возможность построить на таких элементах мультивибратор, аналогичный мультивибратору на транзисторах. За счет положительной обратной связи в схеме развивается лавинообразный процесс, благодаря чему переход выходного напряжения с одного уровня на другой происходит с большой скоростью. Предполагается, что мультивибраторы, рассматриваемые в данном параграфе, выполнены на микросхемах ТТЛ.

14.4.1. Автоколебательный мультивибратор

Схема автоколебательного мультивибратора приведена на рис. 14.9. Входы каждого из элементов \mathcal{E}_1 и \mathcal{E}_2 соединены, они используются как усилители-инверторы. Выход одного элемента связан с входом другого цепью C_1-R_2 (C_2-R_1), за счет чего (так же, как и в схеме транзисторного мультивибратора) создается положительная обратная связь.

Диоды $VD1$, $VD2$ являются защитными, напряжение на них не может быть ниже $U_{д\text{отп}} \approx -0,7$ В. В отсутствие $VD1$, $VD2$ на входы элементов через конденсаторы будут передаваться значительные отрицательные перепады напряжений, что выведет микросхемы из строя. Если защитные диоды имеются внутри самих микросхем, то необходимость установки их снаружи отпадает.

Процессы в рассматриваемом мультивибраторе в значительной степени аналогичны процессам в транзисторном автоколе-

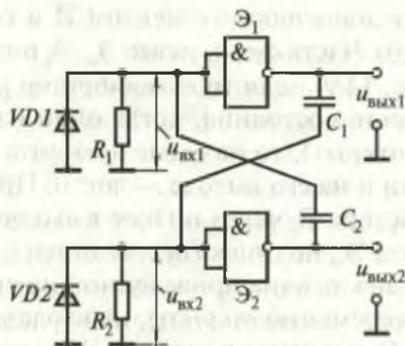


Рис. 14.9

батальном мультивибраторе. Разница состоит лишь в том, что элемент входит в активный усилительный режим, когда потенциал его объединенных входов достигает отличного от нуля порогового уровня. С этого момента в схеме может развиваться лавинообразный процесс.

Изменения потенциалов на входах и выходах элементов Θ_1 и Θ_2 обусловлены перезарядкой конденсаторов C_1 и C_2 .

Длительности импульсов на выходе элементов Θ_1 и Θ_2 соответственно равны:

$t_{и1} = 2,3C_2(R_1 + R_{вых2})\lg(U^1/U_{пор})$, $t_{и2} = 2,3C_1(R_2 + R_{вых1})\lg(U^1/U_{пор})$,
где $R_{вых}$ — выходное сопротивление элемента; U^1 — напряжение лог. 1, $U_{пор}$ — пороговый уровень элемента.

Период колебаний

$$T = t_{и1} + t_{и2}.$$

При $C_1 = C_2 = C$, $R_1 = R_2 = R$ (симметричный мультивибратор)

$$T = 4,6C(R + R_{вых})\lg(U^1/U_{пор}).$$

Оценим длительность импульса, формируемого мультивибратором (см. рис. 14.9), при следующих параметрах: $C_1 = C_2 = 7500$ пФ, $R_1 = R_2 = 510$ Ом, $U^1 = 3,5$ В, $U_{пор} = 1,5$ В, $R_{вых} = 40$ Ом,

$$t_{и} = 2,3(510 + 40)7500 \cdot 10^{-12} \lg \frac{3,5}{1,5} \approx 3,5 \text{ мкс.}$$

Недостатком мультивибратора, изображенного на рис. 14.9, является возможность такого состояния, при котором оба элемента оказываются одновременно закрытыми: генерация отсутствует (например, при медленном нарастании питающего напряжения при включении). Чтобы колебания могли появиться, рассмотренную схему дополняют элементом И и соответствующими связями (рис. 14.10). Часть схемы левее Θ_3 , Θ_4 подобна схеме, представленной на рис. 14.9. Если мультивибратор работает нормально (т. е. имеют место состояния, когда один из элементов Θ_1 , Θ_2 закрыт, а другой открыт), то на входе элемента И (Θ_3 , Θ_4) разные логические уровни и на его выходе — лог. 0. При этом правый по схеме вывод резистора R_1 через низкое выходное сопротивление открытого элемента Θ_4 , по существу, соединен с «землей» — принципиально схема аналогична приведенной на рис. 14.9. Если элементы Θ_1 , Θ_2 одновременно закрыты, на входах элемента И лог. 1 и лог. 1 с выхода Θ_4 открывает элемент Θ_1 — в схеме появляются условия для возникновения колебательного процесса.

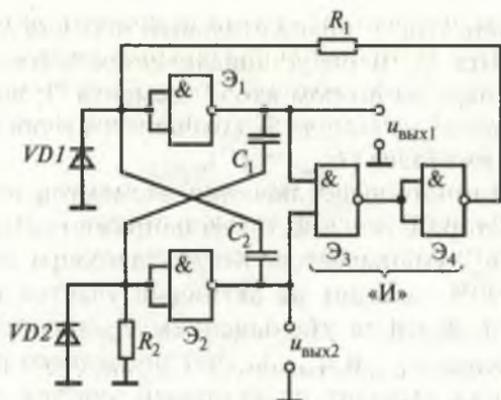


Рис. 14.10

14.4.2. Ждущий мультивибратор

Схема ждущего мультивибратора (рис. 14.11) отличается от схемы автоколебательного мультивибратора (см. рис. 14.9) наличием только одной времязадающей цепи и наличием цепи запуска, включающей инвертор Э₃. В исходном состоянии напряжение $u_{\text{вх}2} = i_{\text{вх}2} R$ незначительно и поэтому $u_{\text{вых}2} = U^1$ (элемент Э₂ закрыт). Кроме того $u_{\text{зап}} = 0$, поэтому на обоих входах Э₁ устанавливаются лог. 1, так что $u_{\text{вых}1} = U^0$ (элемент Э₁ открыт). При этом конденсатор C разряжен. Положительный запускающий импульс обеспечивает на верхнем (см. рис. 14.11) входе элемента Э₁ лог. 0, благодаря чему напряжение на выходе Э₁ возрастает скачком.

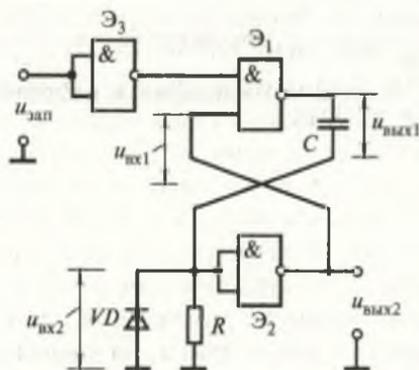


Рис. 14.11

Через конденсатор C положительный перепад Δu_1 передается на вход элемента Θ_2 , и он устанавливается в состояние лог. 0 ($u_{\text{вых}2} = U^0$). Теперь на втором входе элемента Θ_1 лог. 0, поэтому высокий потенциал на выходе Θ_1 сохраняется и после окончания запускающего импульса ($U_{\text{вых}1} = U^1$).

После описанного переключения элементов начинается зарядка конденсатора C под действием напряжения на выходе Θ_1 , в ходе которой $u_{\text{вх}2}$ уменьшается. Когда благодаря этому рабочая точка элемента Θ_2 выходит на активный участок передаточной характеристики, вслед за уменьшением $u_{\text{вх}2}$ начинают увеличиваться напряжения $u_{\text{вых}2}$ и $u_{\text{вх}1}$. За счет последнего рабочая точка элемента Θ_1 тоже выходит на активный участок передаточной характеристики — в схеме замыкается цепь положительной обратной связи, благодаря чему переключение элементов происходит лавинообразно: Θ_1 открывается ($u_{\text{вых}1} = U^0$), а Θ_2 закрывается ($u_{\text{вых}2} = U^1$).

После этого конденсатор C разряжается через малое выходное сопротивление открытого элемента Θ_1 и диод VD , и в схеме восстанавливается исходный режим. С приходом следующего запускающего импульса описанные процессы повторяются. Заметим, что на выходе Θ_2 , к которому не подключен конденсатор, импульс имеет лучшую форму, чем на выходе Θ_1 . Длительность сформированного импульса можно определить как для автоколебательного мультивибратора, считая $\tau_1 = CR$.

ЛИТЕРАТУРА

1. Зельдин Е.А. Импульсные устройства на микросхемах. — М.: Радио и связь, 1991. С. 80—102.
2. Фролкин В.Т., Попов Л.Н. Импульсные и цифровые устройства. — М.: Радио и связь, 1992. С.305—323.

Часть третья

Примеры

цифровых устройств

ГЛАВА 15

БЛОКИ ЦИФРОВЫХ УСТРОЙСТВ

15.1. Преобразователи кодов

15.1.1. Общие сведения

Преобразователи одного вида кода в другой реализуются различными средствами. Так, в ячейки ПЗУ может быть занесена таблица некоторой функции, например, синуса, выраженного в двоичном коде; при этом его аргументы (значения угла) тоже в двоичном коде подаются на адресные входы ПЗУ. Каждое значение аргумента (угла) выбирает ячейку, в которой записано значение функции — синуса.

Аналогично может быть линеаризована характеристика, к примеру, температурного датчика. Напряжение U_d на его выходе не является в той или иной мере линейной функцией температуры, поэтому измерение U_d не дает объективной картины. В этом случае с выбранным периодом осуществляют аналого-цифровое преобразование U_d . Полученные коды подают на адресные входы ПЗУ. Они адресуют соответствующие ячейки, соотношение кодов в которых определяет их линейную зависимость от температуры.

Подобно изложенному может быть осуществлено функциональное преобразование аналогового сигнала, например, его возведение в некоторую степень. Оцифрованные выборки этого сигнала адресуют ячейки ПЗУ, а их содержимое является требуемой функцией адреса, т. е. функцией этих выборок.

Аналогичные действия можно реализовать и на программируемой логической матрице (ПЛМ). Однако применение ПЗУ и ПЛМ часто не оправдано из-за того, что используются они лишь

частично. В этих случаях преобразователи кодов реализуются на специализированных микросхемах, совокупностью дешифратор — шифратор или на «россыпи» логических элементов.

15.1.2. Преобразователь на дешифраторе и шифраторе

Преобразователь кодов описывается системой логических уравнений, где аргументами являются элементы преобразуемого кода, а функцией — каждый элемент преобразованного. Выполнение преобразователя кода на дешифраторе и шифраторе покажем на примере реализации табл. 15.1. Принцип преобразования состоит в том, что каждому входному коду дешифратор ставит в соответствие возбужденный выход, которому шифратор ставит в соответствие выходной код. Исходя из этого, составлена схема (рис. 15.1), в которой каждый выход дешифратора является входом шифратора, а выполненные соединения отвечают табл. 15.1. Так, число 011 на входе дешифратора возбуждает его третий выход, которому шифратор ставит в соответствие число 10001. Аналогично выполнены и другие соединения. Шифратор в приведенной схеме реализован на дискретных микросхемах.

Таблица 15.1

Код							
преобразуемый			преобразованный				
x_3	x_2	x_1	y_5	y_4	y_3	y_2	y_1
0	0	0	0	0	0	1	1
0	0	1	0	1	1	1	0
0	1	0	0	0	0	1	1
0	1	1	1	0	0	0	1
1	0	0	0	1	1	0	0
1	0	1	1	0	1	0	0

15.1.3. Преобразователь двоичного кода в двоично-десятичный

Промышленность выпускает комбинационные (не содержащие элементов памяти) микросхемы преобразователей двоичного кода в двоично-десятичный. Для расширения разрядности обрабатываемых кодов они допускают объединение (каскадирование).

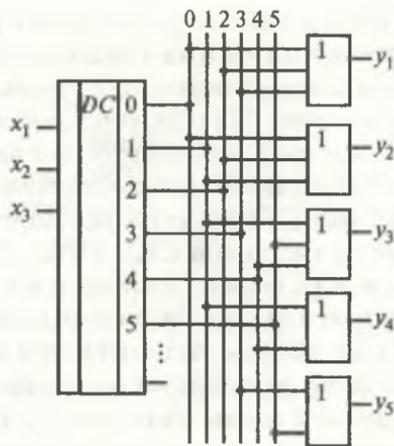


Рис. 15.1

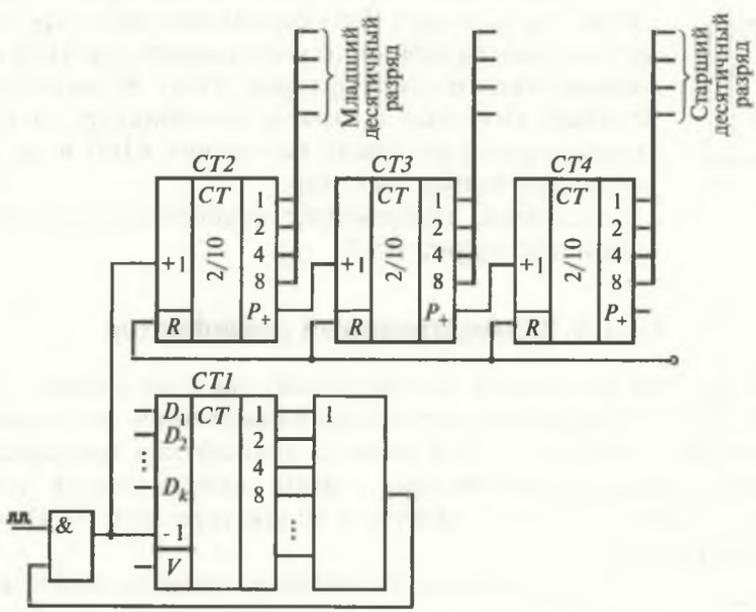


Рис. 15.2

На рис. 15.2 изображена схема устройства, реализующего другой принцип. В двоичный счетчик $CT1$ занесено число, представленное на его входах $D_1 - D_k$ двоичным кодом, которое должно быть преобразовано в двоично-десятичное. Каждый счетный импульс одновременно уменьшает содержимое счетчика $CT1$ и увеличивает

на единицу содержимое десятичного счетчика $CT2$. После поступления на вход десятичного счетчика каждые десяти импульсов он обнуляется и единица с выхода переноса P_+ записывается в следующий счетчик. Когда счетчик $CT1$ обнулится, на выходе дизъюнктора окажется лог. 0, который заблокирует конъюнктор, прерывая поступление счетных импульсов ко всем счетчикам. При этом двоичное число из счетчика $CT1$ окажется представленным двоично-десятичным на выходах счетчиков $CT2$ — $CT4$.

Каждый цикл преобразования начинается с подачи на вход V импульса, разрешающего запись числа с входов D_1 — D_k в счетчик $CT1$. Оно поступает на выходы счетчика и при наличии единицы хотя бы в одном разряде деблокирует конъюнктор.

Достоинством данной схемы является то, что двоично-десятичный код сохраняется после того, как исходный двоичный код становится равным нулю.

Изложенный принцип получения двоично-десятичного кода может быть реализован еще в процессе формирования двоичного кода, например в АЦП последовательного счета (см. рис. 10.6). В этом случае счетные импульсы с выхода конъюнктора должны одновременно поступать на счетчик АЦП и на двоично-десятичные счетчики.

Условное изображение преобразователя кодов приведено на рис. 15.3.

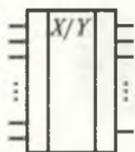


Рис. 15.3

15.1.4. Семисегментный дешифратор

Результаты измерений и вычислений, представленные в двоичном коде, должны индексироваться в привычном для человека десятичном счислении. Для этого двоичный код преобразуют вначале в двоично-десятичный, а затем каждую тетраду последнего отражают на семисегментном индикаторе (рис. 15.4) десятичной цифрой.

Будем считать, что свечение сегмента обеспечивается присутствием на нем лог. 1. Тогда справедливы соотношения между видом тетрады и сигналами на индикаторе, приведенные в табл. 15.2. Так, для изображения на индикаторе десятичной цифры 2 (двоичный код 0010) должны светиться сегменты a, b, d, e, g ; для изображения 5 — сегменты a, c, d, f, g , что легко установить по рис. 15.4.

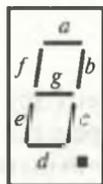


Рис. 15.4

Десятичная цифра	Разряд тетрады				Состояние сегмента индикатора						
	x_4	x_3	x_2	x_1	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Рассмотрим состояния каждого сегмента. Сегмент a должен светиться ($a = 1$) при индикации ряда десятичных цифр, и логическое уравнение для него (см. табл. 15.2), составленное из комбинаций x_4, x_3, x_2, x_1 на соответствующих наборах, имеет вид

$$a = \bar{x}_4 \bar{x}_3 \bar{x}_2 \bar{x}_1 + \bar{x}_4 \bar{x}_3 x_2 \bar{x}_1 + \bar{x}_4 \bar{x}_3 x_2 x_1 + \bar{x}_4 x_3 \bar{x}_2 x_1 + \bar{x}_4 x_3 x_2 \bar{x}_1 + \bar{x}_4 x_3 x_2 x_1 + x_4 \bar{x}_3 \bar{x}_2 \bar{x}_1 + x_4 \bar{x}_3 \bar{x}_2 x_1.$$

Для минимизации занесем его члены в карту Карно (рис. 15.5), отметив и запрещенные состояния (10 ... 15). После возможных склеиваний получим

$$a = x_2 + x_4 + x_3 x_1 + \bar{x}_3 \bar{x}_1.$$

На рис. 15.6 приведена схема, реализующая это уравнение.

Аналогично можно составить логические уравнения для других сегментов и после минимизации составлены реализующие их схемы. Заметим, что для устройства, имеющего не один выход (в данном случае их семь), с помощью специальных процедур возможна минимизация совокупности уравнений выходов.

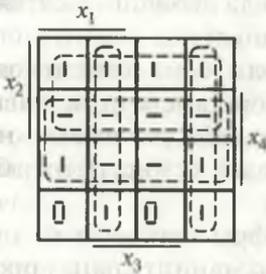


Рис. 15.5

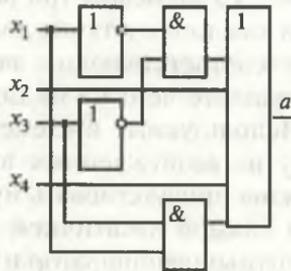


Рис. 15.6

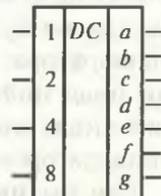


Рис. 15.7

В результате синтезируемое устройство упрощается за счет того, что одни и те же элементы могут быть использованы для формирования сигналов для разных выходов.

На рис. 15.7 приведено условное изображение рассмотренного преобразователя, который называют семисегментным дешифратором.

15.2. Цифровая индикация

15.2.1. Общие сведения

В цифровых устройствах для индикации параметров текущего состояния системы и ее компонентов, результатов измерений наиболее часто применяют семисегментные индикаторы, в которых стилизованное изображение цифр составляется семью сегментами.

Свечение сегмента может происходить при подаче на него напряжения лог. 1 (индикаторы с общим катодом) или напряжения лог. 0 (индикатор с общим анодом). В зависимости от того, как работает в схеме индикатор (непрерывно или периодически), различают соответственно статический и динамический типы индикации. В основе той и другой индикации лежит представление двоичного кода двоично-десятичным кодом и последующее его преобразование в последовательность единиц и нулей, обеспечивающих свечение цифры, соответствующей «весу» двоичного кода. Указанную последовательность принято называть семисегментным кодом.

Оба вида преобразований, необходимых для реализации цифровой индикации, были рассмотрены ранее.

15.2.2. Статическая индикация

Статическая индикация иллюстрируется рис. 15.8. В десятичных счетчиках *СТ1—СТ3* записаны три разряда двоично-десятичного кода. С выхода каждого счетчика двоичный код десятичного разряда возбуждает соответствующие выходы семисегментного дешифратора, в результате чего на индикаторе высвечивается та или иная цифра. Используемые в схеме индикаторы имеют общий анод, поэтому на возбужденных выходах семисегментных дешифраторов должны присутствовать нули.

Для индикации каждой десятичной цифры необходимы отдельный семисегментный дешифратор и 11 соединительных проводников.

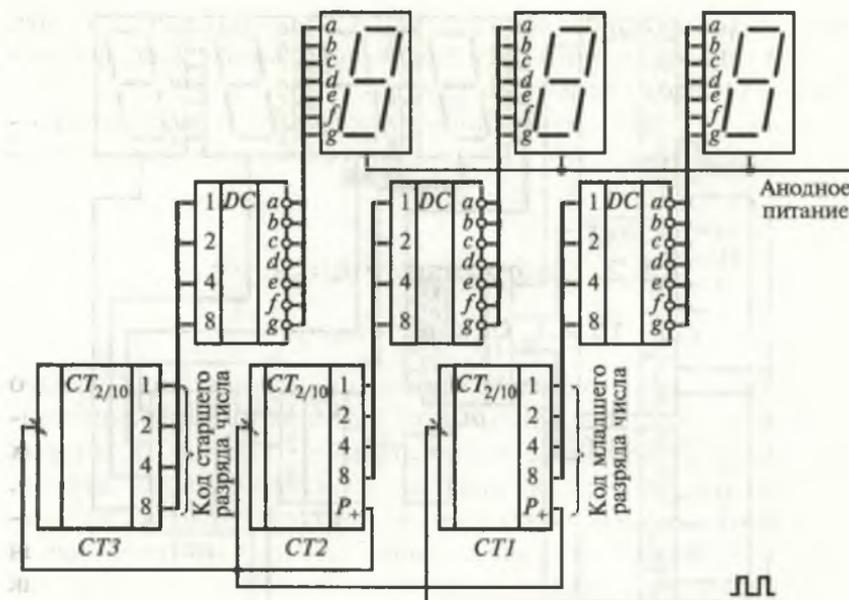


Рис. 15.8

15.2.3. Динамическая индикация

Динамическая индикация состоит в том, что индикаторы работают не одновременно, а по очереди, периодически, что позволяет иметь в схеме только один семисегментный дешифратор, а каждый его выход соединить с входами одноименных сегментов всех индикаторов: выход a — со входами a , выход b — со входами b и т. д. На время работы каждого индикатора к семисегментному дешифратору должен подключаться тот счетчик (аналогичный изображенному на рис. 15.8), число в котором высвечивает данный индикатор.

Схема, представленная на рис. 15.9, реализует описанный принцип на примере индикации четырехразрядного десятичного числа. Четыре выхода счетчика IV, содержащего четвертый разряд десятичного числа, соединяются со входами D_0 четырех мультиплексоров (по два мультиплексора в каждом корпусе). Четыре выхода счетчика III, содержащего третий разряд десятичного числа, соединяются с входами D_1 мультиплексоров и т. д. (на рис. 15.9 это отражено цифрами IV, III, II, I на соответствующих входах мультиплексоров). За счет общих адресных линий

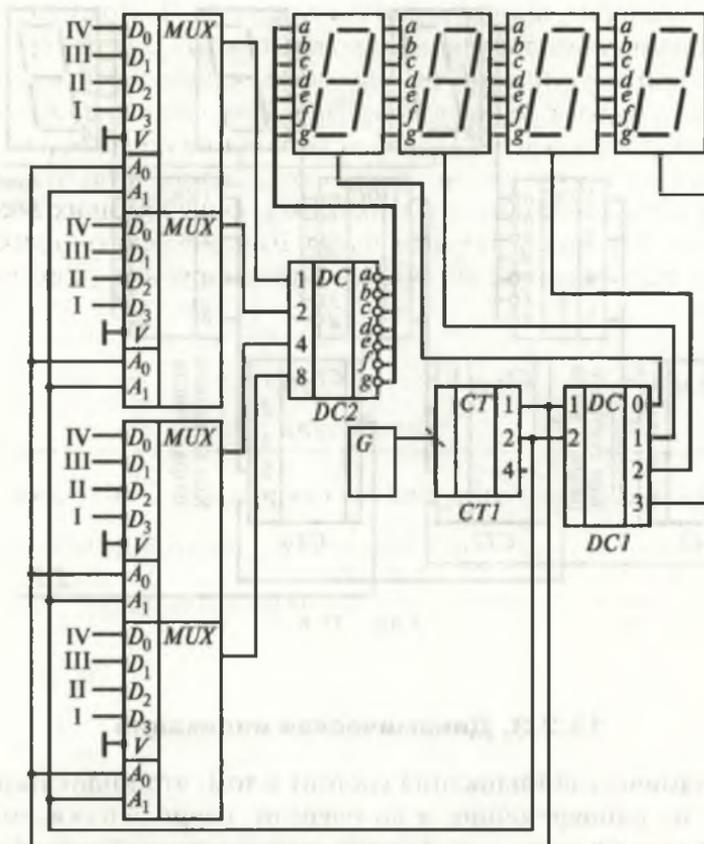


Рис. 15.9

на выходы мультиплексов одновременно будет поступать информация с одноименных входов: с четырех входов D_0 (со счетчика 4-го разряда), с четырех входов D_1 (со счетчика 3-го разряда) и т. д.

В каждый момент времени на мультиплексы и на дешифратор $DC1$ поступает один и тот же код с выходов счетчика $CT1$. Поэтому поступление на дешифратор $DC2$ кода старшего разряда числа со входов D_0 (при $A_0 = 0, A_1 = 0$) будет сочетаться с возбуждением выхода 0 дешифратора $DC1$, соединенного с анодом левого по схеме индикатора (на котором и должен высветиваться этот разряд), т. е. с вводом его в работу.

При непрерывной работе генератора G код на выходах счетчика $CT1$ будет циклически изменяться: возрастать, принимать

нулевое значение, вновь увеличиваться и т. д. Поэтому аналогично описанному будет функционировать каждый индикатор, включаемый при поступлении на анод напряжения лог. 1 с соответствующего выхода дешифратора *DC1*. При частоте возбуждения индикатора порядка 100 Гц его мелькания не ощущаются.

Легко заметить, что число входов каждого мультиплексора должно быть равно числу индикаторов, фиксирующих десятичное число, т. е. числу разрядов числа. Динамическую индикацию выгодно использовать, когда число индицируемых разрядов более пяти.

ЛИТЕРАТУРА

1. *Бирюков С.А.* Цифровые устройства на интегральных микросхемах. — М.: Радио и связь, 1987. С. 54—67.
2. *Мальцев Л.А., Фромберг Э.М., Ямпольский В.С.* Основы цифровой техники. — М.: Радио и связь, 1986. С. 90—95, 95—103.
3. *Потемкин И.С.* Функциональные узлы цифровой автоматики. — М.: Энергоатомиздат, 1988. С. 107—109.

ГЛАВА 16

ФУНКЦИОНАЛЬНО ЗАКОНЧЕННЫЕ ЦИФРОВЫЕ УСТРОЙСТВА

16.1. Цифровой вольтметр

16.1.1. Общие сведения

Цифровыми вольтметрами измеряют напряжение постоянного тока, среднее по абсолютному значению синусоидальное напряжение, среднеквадратическое значение периодического напряжения, амплитудное значение импульсного напряжения, а также значения широкого спектра физических величин, предварительно преобразованных в напряжение.

Основу приборов, измеряющих приведенные виды величин, составляют вольтметры постоянного тока.

Тенденцией проектирования современных измерительных приборов является повышение точности измерения, миниатюризация конструкций и автоматизация процесса измерения. Она сопровождается широким использованием ИМС, автоматическим выбором предела измерения в зависимости от величины входного напряжения, усреднением ряда последовательно проводимых измерений с целью исключения случайных погрешностей и т. д.

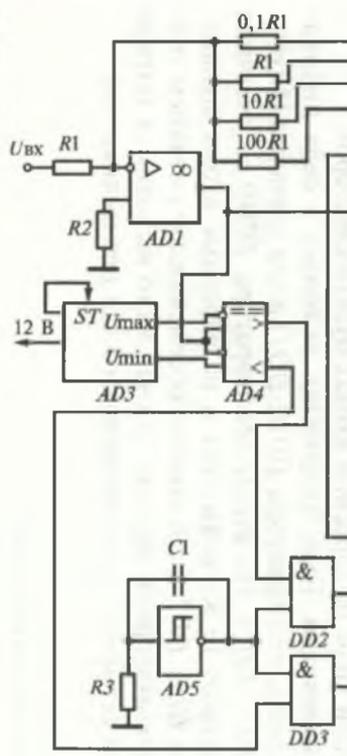
16.1.2. Схема цифрового вольтметра

Схема цифрового вольтметра (рис. 16.1) содержит блок автоматического выбора диапазона измерения (АВДИ), преобразователь напряжение—код и блок индикации.

Блок АВДИ. Блок АВДИ удерживает напряжение на входе АЦП $DD1$ в устанавливаемом диапазоне ($U_{\max} = 10 \text{ В}$, $U_{\min} = 1 \text{ В}$) за счет умножения или деления измеряемого напряжения $U_{\text{вх}}$. При этом светящаяся десятичная точка на индикаторной панели смещается соответственно вправо или влево так, что на правильность отсчета входного напряжения работа АВДИ не влияет.

В рассматриваемой схеме основным компонентом АВДИ является операционный усилитель (масштабирующий усилитель — МУ)

13 Экзамен



AD1, его коэффициент передачи изменяется за счет включения в цепь обратной связи разных резисторов R_{oc} ($0,1R1, R1, 10R1, 100R1$), сопротивления которых отличаются в 10 раз. Смену резисторов в цепи обратной связи осуществляет аналоговый мультиплексор *AD2*, меняя тем самым коэффициент передачи масштабирующего усилителя ($K_{uc} = R_{oc}/R_1$) в пределах $0,1—100$. При выбранном диапазоне напряжений на входе АЦП $1—10$ В это позволяет измерять входное напряжение в пределах $0,01—100$ В.

Границы диапазона напряжений на входе АЦП (U_{max}, U_{min}) передаются со стабилизаторов *AD3* на входы двояного компаратора *AD4*. Если напряжение на входе АЦП превышает U_{max} , то на выходе ($>$) компаратора *AD4* появляется лог. 1, которая через конъюнктер *DD2* подключает генератор *AD5* к вычитающему входу счетчика *DD4*. При этом код на его выходах и на адресных входах A_0, A_1 мультиплексора *AD2* уменьшается, и мультиплексор включает в цепь обратной связи МУ резистор с меньшим сопротивлением — коэффициент усиления МУ уменьшается. Если напряжение на входе АЦП становится меньше U_{min} , лог. 1 появляется на выходе ($<$) компаратора *AD4*, и импульсы генератора *AD5* через конъюнктер *DD3* поступают на суммирующий вход счетчика *DD4*, в результате чего коэффициент усиления МУ повышается. Если же напряжение на входе АЦП не выходит за границы U_{min}, U_{max} , то содержимое счетчика *DD4* сохраняется неизменным.

Преобразователь аналог—код. Преобразователь аналог—код содержит АЦП *DD1*, преобразователь двоичного кода в двоично-десятичный *DD5*, мультиплексоры *DD6* и *DD7* (на выходы которых с преобразователя *DD5* выводятся 4 разряда каждой двоично-десятичной тетрады) и семисегментный дешифратор *DD8* (каждый выход которого соединен с соответствующими одноименными сегментами всех индикаторов)*. Поочередный вывод тетрад на выходы мультиплексоров обеспечивают генератор *AD6* и счетчик *DD9*, изменяющий коды на адресных входах мультиплексоров.

Блок индикации. Блок индикации включает в себя индикаторную панель, дешифраторы *DD10, DD11* и три элемента ИЛИ — *DD12, DD13, DD14*. На входы дешифратора *DD10* со счетчика *DD9* поступают те же коды, что и на адресные входы мультиплексоров *DD6, DD7*, а его выходы обеспечивают питанием знакоместа индикаторной панели. За счет этого выводимая тетрада «зажигает» сегменты предусмотренного для нее индикатора.

*О динамической индикации см. п. 15.2.3.

Дешифратор *DD11* выполняет две функции: с его выходов на индикаторной панели подсвечиваются указатели В (вольты), мВ (милливольты), а также десятичные точки. Когда $100 > U_{\text{вх}} > 10$ В или $10 > U_{\text{вх}} > 1$ В, на выходах счетчика *DD4* присутствуют соответственно коды 00 или 01, что обеспечивает лог. 1 на выходе 0 или на выходе 1 дешифратора *DD11*. Лог. 1 через дизъюнктор *DD12* засвечивает указатель В — число на индикаторе выражается в вольтах. Если же $1 > U_{\text{вх}} > 0,1$ В или $0,1 > U_{\text{вх}} > 0,01$ В, то лог. 1 устанавливается на выходах 2 или 2 и 1 счетчика *DD4* — лог. 1 устанавливается на выходах 2 или 3 дешифратора *DD11*, с которых через дизъюнктор *DD13* засвечивается указатель мВ — число на индикаторе выражает милливольты.

С выхода дешифратора *DD11* подсвечивается одна из десятичных точек индикаторной панели. На его входы поступают те же коды, что и на адресные входы мультиплексора *AD2* в блоке АВДИ. При этом каждое уменьшение коэффициента усиления $K_{\text{ус}}$ масштабирующего усилителя в 10 раз (при увеличении $U_{\text{вх}}$) сочетается с «переносом» светящейся точки на один разряд (на одно знакоместо) вправо, а при увеличении $K_{\text{ус}}$ в 10 раз (при уменьшении $U_{\text{вх}}$) — на одно знакоместо влево. Если напряжение $U_{\text{вх}}$ составляет десятки вольт, то его целая часть должна индцироваться в двух левых старших разрядах панели, после которых должна светиться десятичная точка (*T2*). Поэтому лог. 1 поступает на нее через дизъюнктор *DD14* с выхода 0 дешифратора *DD11*, когда на адресных входах A_0, A_1 мультиплексора *AD2* установлен лог. 0 — коэффициент передачи масштабирующего усилителя наименьший ($K_{\text{ус}} = 0,1$), т. е. идет измерение десятков вольт. Аналогично можно проследить управление левой десятичной точкой (*T3*) при измерении единиц вольт. Если $U_{\text{вх}} < 1$ В, то, как было показано выше, осуществляется переход на измерение милливольт. Поэтому при $1 > U_{\text{вх}} > 0,1$ В происходит измерение сотен милливольт, и подсвечивается третья слева десятичная точка (*T1*), а при $0,1 > U_{\text{вх}} > 0,01$ В происходит измерение десятков милливольт, и подсвечивается вторая слева десятичная точка (*T2*).

16.2. Электронные часовые устройства

16.2.1. Общие сведения

Часовые устройства наделяют многими функциями. Кроме отсчета времени (собственно часы), они выполняются с индика-

цией числа и дня недели, часовых поясов, подают сигнал в заранее установленное время (будильник), используются как секундомер. Однако повсеместное и постоянное применение находят, главным образом, часы и будильник.

Благодаря тому, что существуют генераторы импульсов со стабильным временным интервалом, можно создавать электронные часовые устройства. Если в некоторый момент такие импульсы начать подавать на счетчик, то накапливающееся в нем число будет соответствовать промежутку времени, отсчитанному от указанного момента. Большинство электронных часовых устройств имеют встроенный источник питания, т. е. являются автономными, и поэтому реализуются на микросхемах КМОП-логики, отличающихся весьма малым потреблением энергии. Используемые в часах счетчики имеют определенные коэффициенты деления с тем, чтобы выдерживалось соотношение между единицами и десятками минут и часов.

В часах используется своеобразная «часовая система счисления». Цифра в разряде «Десятки часов» может принимать значения 0, 1 и 2 (например, 03 часа — ночь, 15 часов — день, 20 часов — вечер). Цифра в разряде «Единицы часов» имеет два предельных значения: 9, когда в разряде «Десятки часов» присутствует цифра 0 или 1 (например, при фиксации 09-ти часов или 19-ти часов) и 3, когда в разряде «Десятки часов» присутствует цифра 2 (23 часа). При появлении в этом разряде цифры 4 (24 часа) оба «часовые» разряда сбрасываются — начинаются новые сутки (00 часов). Таким образом счетчик «Единицы часов» должен обнуляться, когда на его выходе появляется код с «весом» $1010 = 10_{10}$ (если в разряде «Десятки часов» присутствует цифра 0 или 1) и когда «вес» выходного кода достигает $0100 = 4_{10}$ (если в разряде «Десятки часов» присутствует цифра 2).

Предельное значение цифры в разряде «Десятки минут» — 5. При появлении в этом разряде цифры 6 (60 мин) этот разряд сбрасывается, и 1 записывается в разряд «Единицы часов». Коэффициент деления этого счетчика равен шести.

Предельное значение цифры в разряде «Единицы минут» — 9 (например, при фиксации 19 мин), т. е. коэффициент деления счетчика этого разряда равен 10-ти. При увеличении этого разряда на единицу он сбрасывается и 1 записывается в разряд «Десятки минут».

Для наглядности в табл. 16.1 собраны приведенные выше сведения о счетчиках.

Таблица 16.1

Счетчик	Максимальное число в счетчике	Коэффициент пересчета	Число десятков часов
Единиц минут	9	10	—
Десятков минут	5	6	—
Единиц часов	9	10	0 или 1
	3	4	2
Десятков часов	2	—	—

16.2.2. Электронные часы

Кварцевый генератор на микросхемах *DD1.1* и *DD1.2* (рис. 16.2) создает последовательность импульсов с частотой 2^{15} (32768) Гц, которые поступают на делитель частоты — счетчики *DD2—DD5*. Каждый из них содержит отдельный триггер (делитель на 2) со входом *C1* и выходом *I* и 3-разрядный счетчик со входом *C2* и коэффициентом деления 8 (2^3). При последовательном соединении триггера с этим счетчиком получается 4-разрядный счетчик с коэффициентом деления, равным 16 (2^4). Каждый последующий счетчик получает переключающий перепад 1/0 с выхода 8 предыдущего счетчика, когда тот обнуляется.

В счетчике *DD2* входной триггер не задействован и поэтому его коэффициент деления равен 8. В целом счетчики *DD2—DD5* обеспечивают коэффициент деления 2^{15} ($8 \times 16 \times 16 \times 16 = 2^3 \times 2^{12}$), так что на выходе *DD5* период импульсной последовательности равен 1 с. В схеме все счетчики имеют два входа сброса, объединенных конъюнкцией. Собирая на этих входах лог. 1 с выходов счетчика, можно получить различные коэффициенты деления частоты без дополнительного конъюнктора (как это требовалось в схеме, приведенной на 7.10, *a*). Так, счетчик *DD6* является делителем на 10 (он сбрасывается при одновременном присутствии лог. 1 на выходах 2 и 8), а счетчик *DD7* — делителем на 6. С выхода *DD7* снимаются импульсы с минутным интервалом, ими осуществляется заполнение счетчиков *DD11—DD8*. Их коэффициенты деления отвечают «часовой системе счисления», что обеспечивают соединения входов сброса счетчика с его соответствующими выходами. Так, после поступления на счетчик *DD11* «Единиц минут» каждые 10-ти «минутных» импульсов он обнуляется, и единица записывается в счетчик *DD10* «Десятков минут». После занесения в *DD10* шести единиц (т. е. через 60 мин) он обнуляется, и единица записывается в счетчик *DD9* «Единиц часов».

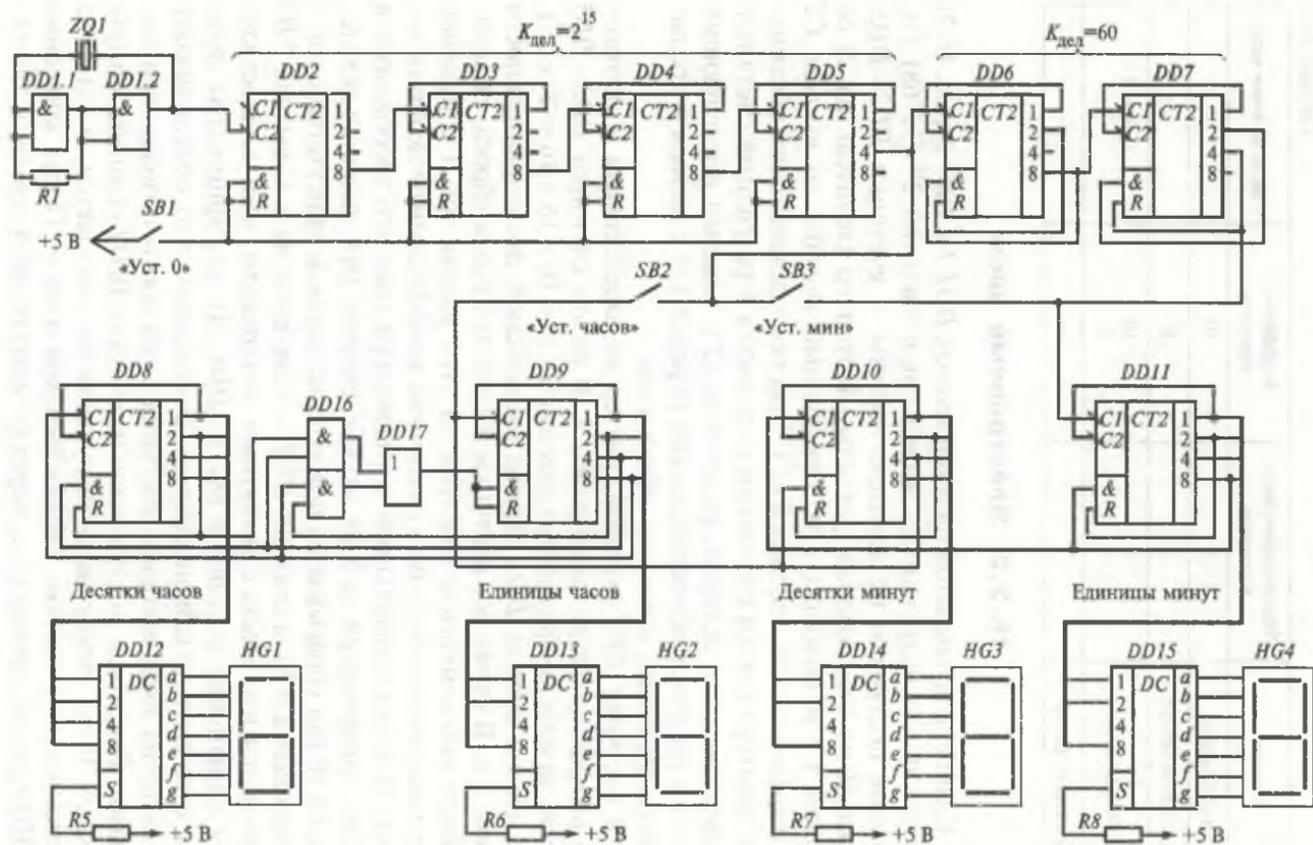


Рис. 16.2

Если в счетчик *DD8* занесены две единицы, а в счетчик *DD9* поступает четвертая единица (наступает 24 ч), то оба «часовых» счетчика обнуляются: *DD8* — при непосредственном поступлении в этот момент лог. 1 на входы сброса с выхода 2 счетчика *DD8* и с выхода 4 счетчика *DD9*, а *DD9* — с выхода верхнего (по схеме) конъюнктора *DD16* через дизъюнктор *DD17*. Если же в счетчик *DD8* занесены 0 или 1, то счетчик *DD9* через нижний (по схеме) конъюнктор *DD16* и дизъюнктор *DD17* сбрасывается при поступлении на его вход каждых 10-ти импульсов.

Выходы счетчиков *DD8—DD11* подключены ко входам соответствующих семисегментных дешифраторов *DD12—DD15*, которые преобразуют двоичное содержимое счетчиков времени в коды, фиксируемые десятичными цифрами на индикаторах.

Начальную установку часов и минут осуществляют отдельно секундными импульсами через переключатели *SB2* и *SB3*.

16.2.3. Электронный будильник

Рассматриваемая схема (рис. 16.3) содержит четыре блока, описываемых ниже. Для наглядности шины для сигналов единиц минут, десятков минут, единиц часов и десятков часов показаны отдельными. Блок текущего времени (блок часов) изображен обобщенно. Детально он был показан на рис. 16.2.

Блок установки времени включения будильника реализован на счетчиках *DD17* и *DD16* (установка единиц и десятков минут) и на счетчиках *DD15* и *DD14* (установка единиц и десятков часов). Изменение состояния этих счетчиков быстро осуществляется импульсами с секундным интервалом, поступающих через переключатели *S1* и *S2*. Причем отдельно устанавливаются счетчики часов и счетчики минут.

Блок сравнения времени включения будильника с текущим временем реализован на компараторах *DD4* и *DD2* (сравнение единиц и десятков минут) и на компараторах *DD3* и *DD1* (единицы и десятки часов). Когда коды времени, установленного на будильнике, и текущего времени окажутся одинаковыми, на выходе элемента И *DD5* появится лог. 1, которая включит генератор сигнала будильника, собранного на элементах И-НЕ *DD18.1* и *DD18.2*.

Блок индикации позволяет фиксировать как текущее время, так и время установки будильника. Он собран на 16-ти мультиплексорах в четырех микросхемах *DD6—DD9*. Выходы каждой

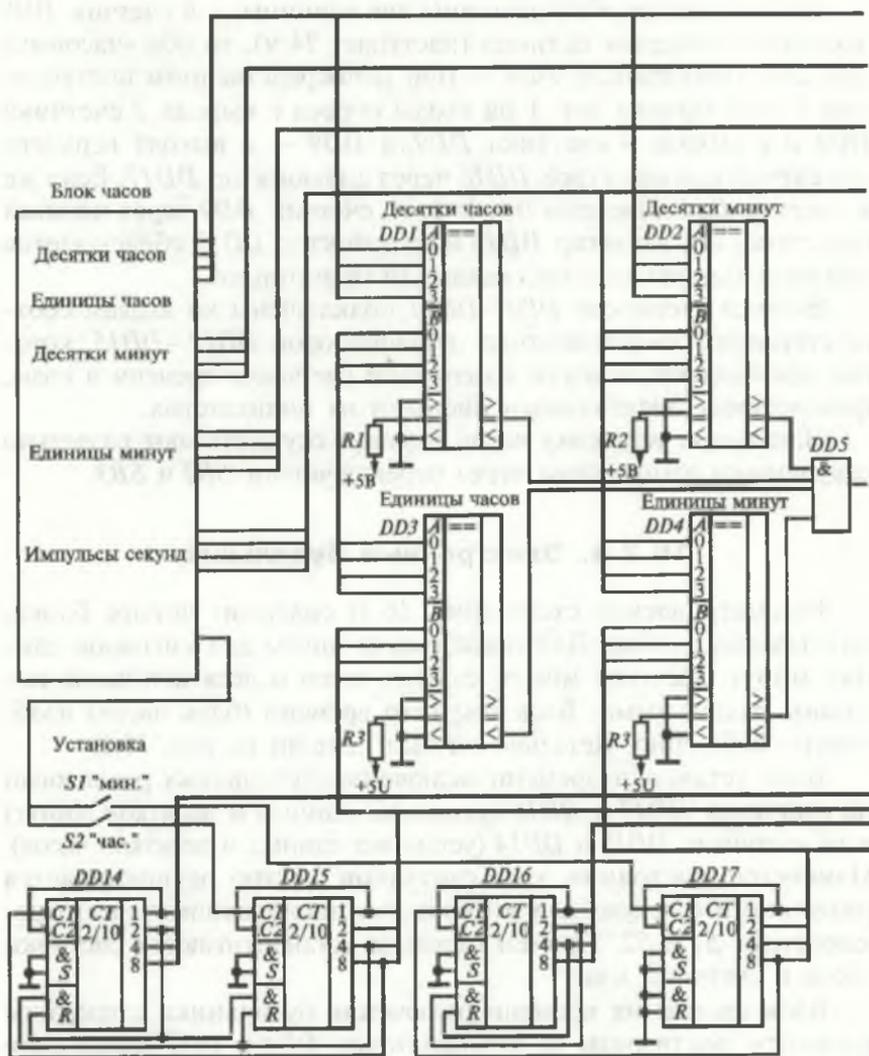
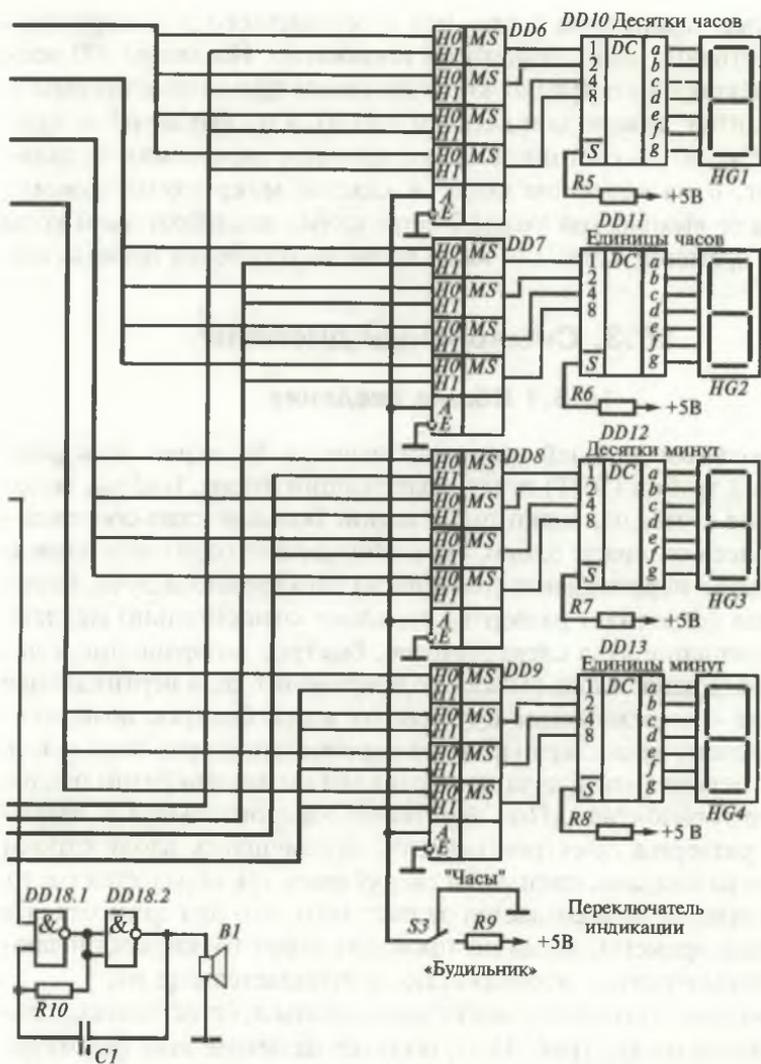


Рис. 16.3



Продолжение рис. 16.3

микросхемы соединены с входами 7-сегментного дешифратора, непосредственно работающего на индикатор. На входы *H0* всех мультиплексоров поступают коды текущего времени (единицы и десятки минут, единицы и десятки часов), а на входы *H1* — аналогичные коды со счетчиков блока времени включения будильника. Лог. 0 на адресном входе *A* каждой микросхемы коммутирует на ее выходы (на входы 7-сегментных дешифраторов) коды текущего времени, а лог. 1 — коды времени установки будильника.

16.3. Символьный дисплей

16.3.1 Общие сведения

Символьный дисплей позволяет вывести на экран электронно-лучевой трубки (ЭЛТ) текст, содержащий буквы, цифры, математические символы, знаки пунктуации. Большинство современных дисплеев содержат блоки, обеспечивающие горизонтальное и вертикальное перемещения (развертки) электронного луча. Горизонтальная (строчная) развертка вызывает относительно медленное перемещение луча слева направо, быстрое возвращение к левому краю экрана, вновь смещение направо и т. д., а вертикальная (кадровая) — перемещение луча сверху вниз, быстрое возвращение к верхнему краю экрана, снова перемещение луча вниз и т. д. За время перемещения луча по вертикали он многократно отклоняется по горизонтали. Под действием горизонтальной и вертикальной разверток электронный луч, перемещаясь вдоль строки экрана слева направо, смещается сверху вниз; так образуется растр. Изображение на нем создается за счет того, что луч запирается в те моменты времени, когда он проходит через точки, составляющие предусмотренное изображение, и отпирается вне их.

Строки знака (символа) могут располагаться, естественно, только на строках растра (рис. 16.4), поэтому целиком знак формируется на нескольких строках, т. е. разрывно во времени: временной

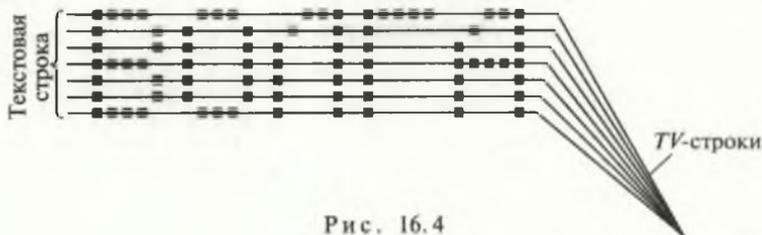


Рис. 16.4

интервал между строками знака, находящимися друг под другом на соседних строках растра, равен периоду строчной развертки.

Группа строк растра, на которых формируется знак, составляет текстовую строку.

16.3.2. Монохромный символьный дисплей

Вначале обобщенно рассмотрим механизм формирования знака на экране монохромного (черно-белого) дисплея. Дисплейный модуль содержит запоминающее устройство изображения — видеоОЗУ (видеобуфер, экранную область), знакогенератор, синхрогенератор и электронно-лучевую трубку.

Видеобуфер является частью ОЗУ. Когда пользователь нажимает клавишу клавиатуры, в ячейку видеобуфера заносится код символа, изображенного на этой клавише. При последовательном наборе текста коды его символов заносятся в последовательные ячейки видеоОЗУ.

Знакогенератор содержит ПЗУ и сдвиговый регистр. Графические образы всех знаков алфавита дисплея «защиты» в ПЗУ знакогенератора (ПЗУ ЗГ). Образ каждого знака разбит на строки; их число равно числу строк растра, на которых знак формируется. Строка знака занимает ячейку ПЗУ, где единицами и нулями представлен «рисунок» строки. Совокупность ячеек, в которые занесен образ знака, называют матрицей знака. Матрица знака выбирается адресом, которым является код знака из видеобуфера.

На рис. 16.5 изображена матрица буквы «В». Единицами в запоминающих элементах ЗЭ представлен контур буквы, они записаны в те разряды ячеек матрицы, которые соответствуют позициям погашенных на экране точек растра.

Участок экрана, который занимает знак, называют знакоместом. При формировании буквы «В» на первой строке растра (первой строке знакоместа) нужно обеспечить запирание луча на первых четырех элементах знакоместа, поэтому в первых четырех разрядах 1-й ячейки матрицы записаны единицы, на второй строке следует погасить луч на 1-м и 5-м элементах (в соответствующие разряды 2-й ячейки матрицы занесены единицы) и т. д.

ЗЭ ₁	ЗЭ ₂	ЗЭ ₃	ЗЭ ₄	ЗЭ ₅	
1	1	1	1	0	1-я ячейка
1	0	0	0	1	2-я ячейка
1	0	0	0	1	3-я ячейка
1	1	1	1	0	4-я ячейка
1	0	0	0	1	⋮
1	0	0	0	1	
1	1	1	1	0	7-я ячейка

Рис. 16.5

Из постоянного запоминающего устройства знакогенератора код строки знака (единицы и нули, составляющие строку образа знака) поступает на сдвиговый регистр; с его выхода разряды кода последовательно управляют горизонтально перемещающимся лучом ЭЛТ, запирая и отпирая его. При передаче на катод ЭЛТ потенциала лог. 1 движущийся луч запирается, что на время действия лог. 1 создает на строке раstra темную полосу; лог. 0 подсвечивает луч на участке такой же длины. Строка знака и знак в целом составляются такими подсвеченными и погашенными элементами строки раstra. Так графика строки знака из ПЗУ ЗГ переносится на строку раstra.

Следующая строка знака формируется на следующей строке раstra. Поэтому при формировании знака его код передается из видеоОЗУ на ПЗУ знакогенератора столько раз, каково число строк раstra, на которых он формируется. При каждом обращении к матрице на выходы ПЗУ ЗГ выводится ее следующая ячейка (следующая строка образа знака). Так, при изображении на экране буквы «В» (см. рис. 16.5) с выходов ПЗУ в сдвиговый регистр вначале заносится код 11110, записанный в первую ячейку матрицы. Из параллельной формы этот код разворачивается в последовательную форму, и на катод трубки один за другим поступают потенциалы, соответствующие элементам кода (1, 1, 1, 1, 0), воздействуя на яркость луча. На второй строке раstra на катод трубки аналогичным образом будут поступать потенциалы 1, 0, 0, 0, 1, записанные во второй ячейке матрицы и т. д.

Формирование на экране текстового слова в описываемом дисплее происходит следующим образом. На первой строке раstra текстовой строки формируются элементы, соответствующие верхним строкам всех отображаемых на ней символов, на второй строке раstra — элементы второй строки этих символов и т. д. Так при формировании слова «Волга» (рис. 6.4) вначале формируются верхние строки букв В, О, Л, Г, А, для чего на выходы ПЗУ последовательно выводятся коды: 11110 (верхняя строка буквы В), 01110 (верхняя строка буквы О), 00111 (верхняя строка буквы Л), ..., 00111 (верхняя строка буквы А). На второй строке раstra из ПЗУ выводятся коды, соответствующие вторым строкам отображаемых букв: 10001, 10001, 01001, 10000, 01001. Аналогично формируются третья и последующие строки символов данной текстовой строки.

Для определения некоторых параметров дисплейного модуля примем, что число знаков на ширине экрана равно 64, число

текстовых строк на странице равно 32 (при таких значениях, соответствующих степеням числа 2, проще реализуются делители частоты) ширина знакоместа и межсимвольный интервал составляют соответственно 7 и 2 элементов строки знака, знак формируется на 9-ти строках раstra, а интервал между текстовыми строками составляет 6 строк раstra.

Примем частоту строчной развертки $f_{стр} = 18$ кГц, период $T_{стр} = 1/(18 \times 10^3) = 55$ мкс, а рабочий участок строки раstra $t_{с.р} = (3/4) \times T_{стр} = 40$ мкс (нелинейные начало и конец строки раstra заслоняются гасящими импульсами). При этом период смены одноименных строк последовательно формируемых символов составляет на этом участке $40 \times 10^{-6}/64$, а частота $64/40 \times 10^{-6} = 1,6$ МГц. Ее называют частотой символьной синхронизации.

Рассмотрим более подробно компоненты дисплейного модуля и их работу.

ВидеоОЗУ. ВидеоОЗУ, представленное на рис. 16.6, содержит коды знаков для заполнения одной страницы экрана — по 64 знака в каждой из 32 текстовых строк. Коды знаков заносятся в видеоОЗУ в том порядке, в каком знаки должны выводиться на экран. Счетчики дисплейного модуля непрерывно, последовательно изменяют адрес на адресных входах видеоОЗУ, шесть младших разрядов адресуют ячейки — коды символов ($2^6 = 64$), пять старших разрядов адресуют 32 группы ячеек ($2^5 = 32$), каждая из которых содержит коды одной текстовой строки. При этом на выходы видеоОЗУ последовательно выводятся записанные в ячейки коды знаков. Каждый из них адресует соответствующую матрицу в ПЗУ ЗГ.

Частота смены младших адресов равна частоте появления одноименных строк разных знаков на строке раstra, т. е. частоте символьной синхронизации. Так как знак формируется на девяти строках раstra, то выборка кодов из всех ячеек каждой группы видеоОЗУ повторяется 9 раз, и только после этого начинается выборка кодов из ячеек следующей группы, т. е. для принятого варианта за время адресации одной текстовой строки младшие разряды адреса 9 раз пробегают значения 000000 ... 111111.

Рис. 16.6 иллюстрирует случай, когда из видеоОЗУ на ПЗУ знакогенератора поступает код буквы А (1000001), он является адресом матрицы А (для наглядности нули в ее разрядах не показаны). При каждом следующем поступлении адреса этой матрицы знака меняется адрес строки знака в матрице — на следующую строку раstra выводится следующая строка знака.

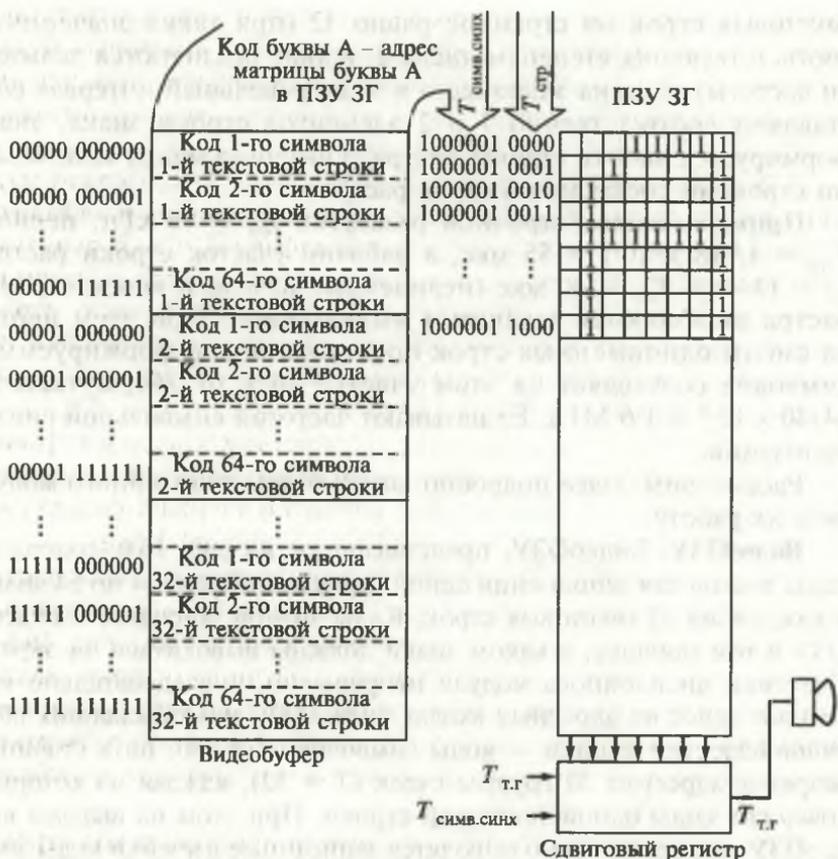


Рис. 16.6

Требуемая емкость видеоОЗУ для заполнения одной страницы экрана при 8-разрядных ячейках и принятых форматах текста равна $32 \cdot 64 \cdot 8 = 2048 \cdot 8 = 2048$ байт = 2 Кбайт. Необходимая разрядность ячейки видеоОЗУ определяется требуемой разрядностью содержащегося в ней кода. Так, для выборки матрицы знака из их общего числа в алфавите $N_{\text{з.алф}} = 256 (2^8)$ нужен 8-разрядный адресный код, а при $N_{\text{з.алф}} = 128 (2^7)$ — 7-разрядный; в последнем случае один разряд 8-разрядной ячейки видеоОЗУ не используется.

Для вывода знака в знакоместо экрана с заданными координатами его код должен быть занесен в определенную ячейку видеоОЗУ. Это осуществляют, манипулируя клавишами курсора —

изменяя содержимое счетчиков, адресующих ячейку соответствующей текстовой строки и знакоместа на ней, в которую будет занесен код желаемого знака. Так, в левом верхнем углу экрана будет формироваться знак, код которого находится в первой ячейке видеоОЗУ первой текстовой строки.

ПЗУ знакогенератора. ПЗУ знакогенератора (ЗГ) содержит матрицы в количестве, равном числу различных знаков в алфавите дисплея (буквы русского и латинского алфавита, знаки пунктуации, математических операций и т. д.). Число ячеек в матрице знака (число строк знака) должно соответствовать числу строк раstra, на которых знак формируется, а разрядность ячейки не должна быть меньше числа элементов знака в пределах ширины знакоместа экрана.

Емкость ПЗУ ЗГ определяется количеством знаков в алфавите и размерами матрицы. Если, например, алфавит содержит 128 знаков, число ячеек в матрице равно 8 и ячейка 8-разрядная, то емкость ПЗУ $C = 128 \cdot 8 \cdot 8 = (1024 \cdot 8)$ бит = 1 Кбайт.

Адрес ячейки ПЗУ ЗГ состоит из двух частей: старшая часть, являясь кодом знака, адресует всю совокупность ячеек матрицы, т. е. саму матрицу, и является для нее постоянной (см. рис. 16.6). Младшая часть адреса выбирает ячейку матрицы (строку знака). Эта часть принимает столько значений, сколько строк содержит знак, а частота ее изменения равна частоте строчной развертки, так как соседние строки знака расположены друг под другом на соседних строках раstra.

Сдвиговый регистр. Сдвиговый регистр принимает код строки матрицы знака и при поступлении каждого импульса тактового генератора выдвигает на свой выход очередной разряд, формирующий на строке раstra элемент знака. В течение периода следования этих импульсов ($T_{т.г}$) выход регистра не меняет своего состояния, и формирование указанного элемента продолжается. Поэтому период $T_{т.г}$ должен быть равен заранее установленной длительности элемента знакоместа.

Полное число элементов на рабочем участке строки раstra ($t_{ср}$) при N_3 выводимых на него знаков, ширине знакоместа (b_3) и ширине межзнакового промежутка (b_n), выраженных числом этих элементов, равно $N_3 = N_3(b_3 + b_n)$, а длительность каждого элемента составляет $t_3 = t_{ср}/N_3(b_3 + b_n)$. Такую длительность должен иметь период $T_{т.г}$ следования импульсов тактового генератора, а их частота $f_{т.г}$ должна быть равна

$$f_{т.г} = 1/T_{т.г} = N_3(b_3 + b_n)/t_{ср}.$$

Так, при $N_3 = 64$, $b_3 = 7$, $b_n = 2$, $t_{cp} = 40$ мкс

$$f_{т.г} = 64(9 + 2)/40 \times 10^{-6} = 17,5 \text{ МГц.}$$

Увеличение горизонтального размера знакоместа (b_3) и числа выводимых на строку знаков (N_3) влечет повышение частоты тактового генератора. Последняя, однако, ограничивается верхней частотой видеоусилителя, сигнал на входе которого — совокупность 1 и 0 из разрядов матриц знаков.

Синхροгенератор. Синхροгенератор содержит тактовый генератор, совокупность счетчиков и делителей частоты. Он обеспечивает тактирование сдвигового регистра знакогенератора, формирует коды младших и старших адресных разрядов видеоОЗУ, младшие адресные разряды ПЗУ ЗГ, строчные и кадровые синхроимпульсы, а также строчные и кадровые гасящие импульсы. Частота импульсов тактового генератора — наибольшая в дисплейном модуле. Ее величина была определена выше. Частоты других импульсных последовательностей получаются делением частоты $f_{т.г}$.

На рис. 16.7 приведен фрагмент схемы дисплейного модуля, непосредственно «отвечающий» за формирование символов на растре монитора. В него не включены блоки, генерирующие строчные ССИ и кадровые КСИ синхронизирующие импульсы, строчные (СГИ) и кадровые (КГИ) гасящие импульсы. Кроме того, чтобы не усложнять схему дополнительными элементами, число знаков на ширине экрана принято равным 64, а число строк на странице равным 32 (как было сказано ранее, при таких значениях, соответствующих степеням числа 2, проще реализуются делители частоты). Также принято, что ширина знакоместа и межсимвольный интервал составляют соответственно 7 и 2 элементов строки знака, знак формируется на 9-ти строках раstra, а интервал между текстовыми строками равен 6-ти строкам раstra.

Импульсы тактового генератора $DD1$ имеют период $T_{т.г}$, равный длительности элемента строки знака. Его частота счетчиком $DD2$ делится на $(7 + 2)$, так что импульсы на выходе конъюктора $DD3$ имеют период символьной синхронизации $T_{\text{симв.синх}}$. В течение этого времени формируется строка знака и межсимвольный промежуток. С этим же интервалом $(7 + 2) T_{т.г}$ увеличивается на 1 код на выходах счетчика $DD4$, последовательно адресуя по входам $A_0 - A_5$ 64 (2^6) ячейки видеобuffers $DD5$. С выходов последнего коды знаков поступают на адресные входы $A_1 - A_6$ ПЗУ знакогенератора (ПЗУ ЗГ) $DD6$.

Каждый строчный синхроимпульс (задним фронтом начинающий строку раstra) последовательно увеличивает код на выходах счетчика *DD7*. Перепадом $1/0$, т. е. после 9-ти строчных синхроимпульсов (по условию знак формируется на 9-ти строках) с конъюнктора *DD8* в единичное состояние переключается триггер *DD9*, блокируя ПЗУ ЗГ: начинается формирование межстрочного интервала. С окончанием 15-го синхроимпульса через конъюнктор *DD10* триггер *DD9* обнуляется — межстрочный интервал имеет длительность, равную 6-ти периодам строчной развертки. На этом завершается формирование текстовой строки и межстрочного интервала, и 1 заносится в счетчик текстовых строк *DD11*. Его выходы соединены с входами старших адресных разрядов A_6-A_{10} видеобuffers *DD5*; ими адресуются 32 (2^5) группы ячеек, каждая из которых содержит коды знаков одной текстовой строки.

С интервалом $(7 + 2)T_{тр}$, т. е. с периодом символьной синхронизации, по сигналу на входе C_2 одноименные строки знаков из ПЗУ ЗГ заносятся в сдвиговой регистр *DD12* и разворачиваются им по сигналам на входе C_1 с интервалом $T_{тр}$ в последовательность 1 и 0, подсвечивающих и гасящих луч на строке раstra ЭЛТ.

Строчные синхроимпульсы (впрочем, как и другие) формируются из последовательности импульсов тактового генератора. Поэтому имеет место временная привязка кодов на выходах счетчиков знакомест *DD4* и текстовых строк *DD11*: при каждом значении адреса на входах A_6-A_{10} видеобuffers, выбирающего текстовую строку, происходит 9-ти кратное изменение адресов от 000 ... 0 до 111 ... 1 на входах A_0-A_5 , адресующих коды знаков, формирующихся на 9-ти строках раstra текстовой строки.

С начала действия ССИ и КСИ (когда происходит возврат луча соответственно к началу следующей строки и следующего кадра) и с начала действия СГИ и КГИ (заслоняющих начало и конец соответственно строки и кадра), а также во время действия импульса межстрочного промежутка (ИМП) строки знаков из ПЗУ ЗГ не должны выводиться. Так как ССИ и КСИ формируются во время действия соответственно СГИ и КГИ, то достаточно принять во внимание последние. Поэтому счетчик знакомест *DD4* обнуляется и блокируется по входу R на время действия указанных импульсов и ИМП. Счетчик строк раstra в текстовой строке *DD7* должен обнуляться после 15-ти строк раstra (9 строк раstra текстовой строки и 6 строк межстрочного интервала) и блокиро-

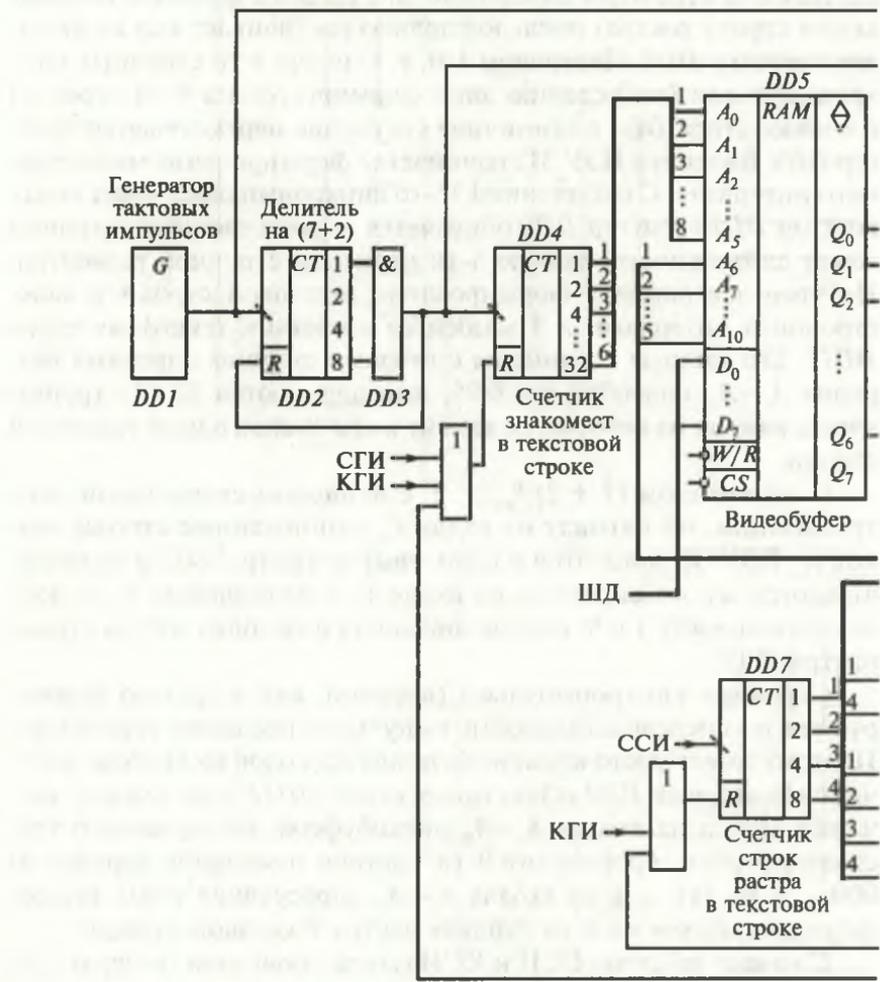
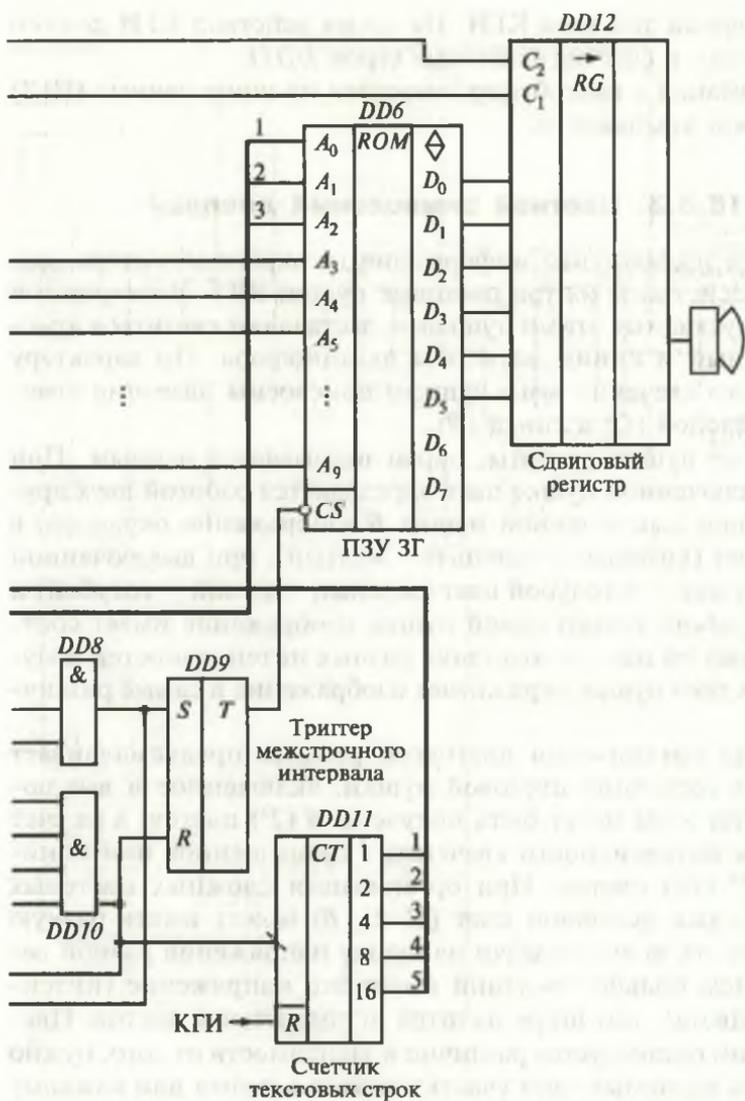


Рис. 16.7



Продолжение рис. 16.7

ваться на время действия КГИ. На время действия КГИ должен блокироваться и счетчик текстовых строк *DDII*.

Информация в видеобуфер заносится по шине данных (ШД) процессором компьютера.

16.3.3. Цветной символьный дисплей

Цветное изображение информации на экране монитора связано с воздействием на три цветовые пушки ЭЛТ. Электронные пучки, испускаемые этими пушками, заставляют светиться красный, зеленый и синий элементы люминофора. По характеру вызываемого свечения этим пушкам присвоены названия красной (*R*), зеленой (*G*) и синей (*B*).

Если все пушки заперты, экран оказывается черным. При одной выключенной пушке цвет определяется работой двух других. Так, при выключенной пушке *B* изображение окрашено в желтый цвет (красный + зеленый = желтый), при выключенной красной пушке — в голубой цвет (зеленый + синий = голубой) и т. д. При работе только одной пушки изображение имеет соответствующий ей цвет, а сочетание разных интенсивностей излучений всех трех пушек окрашивает изображение в самые различные цвета.

Простая организация цветового режима предусматривает только два состояния цветовой пушки: включенное и выключенное. При этом могут быть получены $8 (2^3)$ цветов, а за счет изменения интенсивности свечения *I* (повышенное или пониженное) $2^4 (16)$ цветов. При организации сложных цветовых систем каждый основной цвет (*R*, *G*, *B*) может иметь разную интенсивность за счет подачи на пушку напряжения разной величины. Чем больше градаций имеет это напряжение (интенсивность цвета), тем шире палитра используемых цветов. Цветовой режим организуется различно в зависимости от того, нужно ли придать желаемый цвет участку экрана в целом или каждому пикселю экрана (пикселом называют наименьшую точку экрана, на которую может воздействовать электронная схема). В первом случае речь идет о цветовом текстовом режиме, когда в пределах знакоместа одним цветом окрашен целиком символ (передний план), а другим цветом — фон (задний план), а во втором — о графическом режиме.

Рассмотрим цветовой текстовый режим. При этом режиме работы в видеоОЗУ каждому символу соответствуют два байта,

в один из которых заносится код символа, а в другой — атрибуты, определяющие цвета символа и фона, а также их интенсивность. На рис. 16.8 показан байт атрибутов, разделенный на две тетрады. Младшая тетрада задает цвет символа, старшая — цвет фона. На рисунке обозначены биты, «отвечающие» за красную, зеленую и синюю составляющие цвета. При обращении к ячейке атрибутов потенциалы в этих разрядах будут воздействовать на соответствующие пушки монитора. Приведенное содержимое ячейки атрибутов обусловит вишневый (красный + синий) цвет символа на голубом (зеленый + синий) фоне.

1	0	1	1	1	1	0	1
<i>I</i>	<i>R</i>	<i>G</i>	<i>B</i>	<i>I</i>	<i>R</i>	<i>G</i>	<i>B</i>
Атрибуты фона				Атрибуты символа			

Рис. 16.8

Цветовой текстовый режим предусматривает одновременную обработку обоих байтов, для чего они должны одновременно извлекаться из видеобуфера, т. е. иметь один и тот же адрес. Для этого коды всех символов заносятся в один банк памяти, а коды их атрибутов — в другой банк, «параллельный» первому в том смысле, что обращение к идентично расположенным в банках ячейкам осуществляется по одному адресу. При этом на цветные пушки монитора следует коммутировать младшую тетраду байта атрибутов, когда на экране формируется контур символа (в ячейках ПЗУ знакогенератора этому соответствуют единицы в строках образа символа) и старшую тетраду, когда на экране формируется фон (этому соответствуют нули в строках образа символа).

На рис. 16.9 приведена схема, реализующая цветовой текстовый режим. Код символа из банка 1 (коды символов) адресует образ символа (матрицу знака) в ПЗУ знакогенератора, откуда строка образа заносится в сдвиговый регистр. Одновременно с этим из банка 2 выводится байт атрибутов. Пока он присутствует на выходах микросхемы ОЗУ, содержимое сдвигового регистра бит за битом выдвигается на адресные входы A четырех мультиплексоров. Когда на них поступает единица, на выходы мультиплексоров коммутируются входы D_1 , с ними связаны те выходы банка 2, на которые выводится младшая тетрада байта атрибутов, определяющая цвет символа. Если из сдвигового регистра поступает нуль, на выходы мультиплексоров коммутируются входы D_0 ; с ними связаны выходы банка 2, на которые выводится отвечающая за цвет фона старшая тетрада байта атрибутов. С выходов мультиплексоров включаются или отключаются цветные пушки монитора.

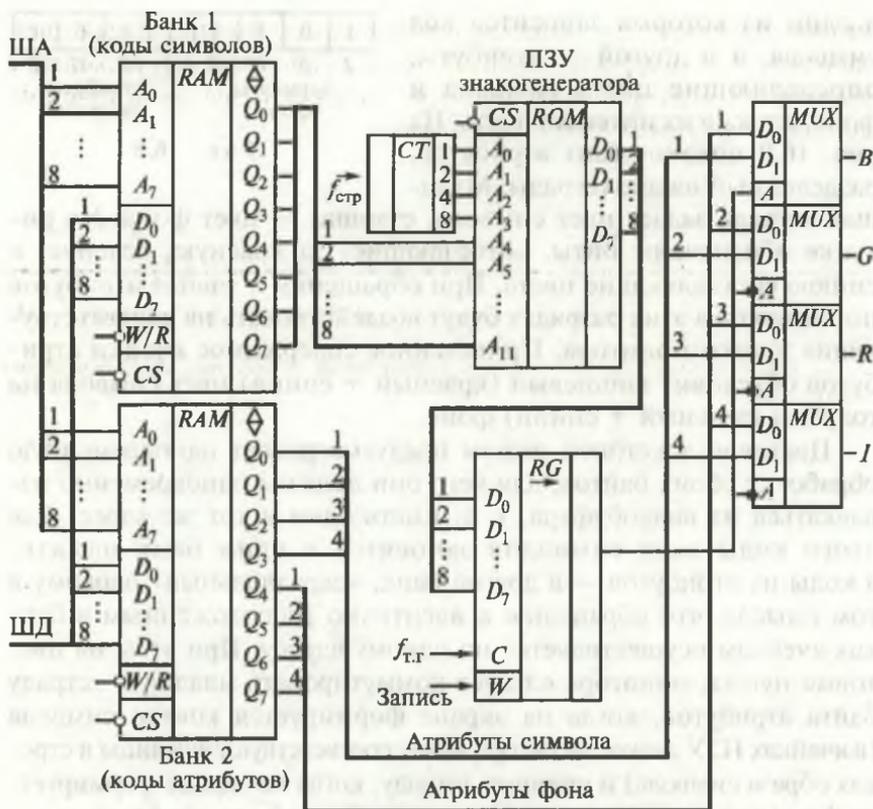


Рис. 16.9

В байте атрибутов, представленных на рис. 16.8 каждый основной цвет (R , G , B) символа, а также фона представлен одним битом. При этом цвет может иметь две градации интенсивности:

цвет есть, цвета нет. Чем большим числом n битов представляется каждый основной цвет, тем больше градаций интенсивности он может иметь. Так, при $n = 2$ цвет имеет 4 (2^2) градации, при $n = 3$ 8 (2^3) градаций и т. д.

На рис. 16.10 атрибуты записаны в n банков — в n цветовых плоскостях. При этом каждый цвет представляется n битами, что дает возможность придать ему 2^n интенсивностей. Одно-

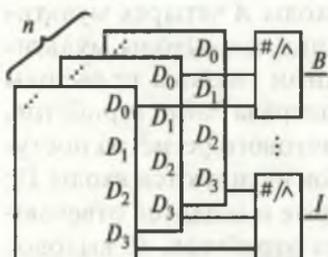


Рис. 16.10

именные разряды плоскостей, «отвечающие» за конкретный цвет, заводятся на цифроаналоговый преобразователь, напряжение с выхода которого (имея 2ⁿ уровней) управляет цветовой пушкой, допускающей аналоговое управление.

ЛИТЕРАТУРА

1. *Бирюков С.А.* Цифровые устройства на интегральных микросхемах. — М.: Радио и связь, 1987. С. 43—47, 72—78.
2. *Кончаловский В.Ю.* Цифровые измерительные устройства. М.: Энергоатомиздат, 1985. С. 216—217.

ГЛАВА 17

ЗАДАНИЯ НА РАЗРАБОТКУ ЦИФРОВЫХ УСТРОЙСТВ

В данной главе приведены задачи, предусматривающие разработку законченных устройств.

Приводимые к ним указания отражают алгоритмы функционирования устройств, разработанных авторами. Они, конечно, не исключают алгоритмов, которые могут быть предложены читателями.

Устройство умножения двоичных чисел

Возможный алгоритм решения. Оба сомножителя должны предварительно фиксироваться в запоминающих компонентах устройства. Примите во внимание, что умножение чисел сводится к сложению одного сомножителя с самим собою столько раз, сколько единиц содержится в другом сомножителе. В соответствии с этим при каждом увеличении произведения на величину одного слагаемого — другое слагаемое должно уменьшаться на единицу.

Генератор пачек импульсов

Проектируемое устройство должно генерировать пачки, каждая из которых содержит n импульсов и паузы между пачками составляют m периодов импульсов.

Возможный алгоритм решения. Числа m и n должны фиксироваться в запоминающих компонентах устройства и уменьшаться на единицу при формировании каждого импульса в пачке и каждого периода в паузе. После обнуления каждого запоминающего компонента его содержимое должно восстанавливаться с тем, чтобы обеспечить формирование следующей пачки и следующей паузы. Генератор устройства, импульсы которого составляют пачки, должен попеременно подключаться к каждому запоминающему компоненту, обеспечивая число импульсов в пачке и длительность паузы.

Устройство индикации порядкового номера дня недели

Возможный алгоритм решения. В основу устройства целесообразно положить схему электронных часов, описанную в гл. 16. При этом надо учесть, что следующий день недели наступает с одновременным обнулением счетчиков единиц и десятков минут, единиц и десятков часов.

Устройство линеаризации характеристики аналогового датчика

Устройство должно выдавать двоичные коды, значения которых соотносятся так же, как значения физической величины, измеряемой нелинейным датчиком.

Возможный алгоритм решения. Коды, сформированные АЦП непосредственно из напряжения на выходе датчика, надо изменять таким образом, чтобы выдерживалось требование по условиям задачи. Для этого можно воспользоваться методом, изложенным в гл. 11.

Электронный кодовый замок

На механическую часть замка устройство должно выдавать сигнал — лог. 1, если цифры набираемого кода соответствуют значениям и порядку следования цифр кода, предварительно установленного в устройстве. При наборе цифры, не удовлетворяющей указанным условиям, все набранные до этого верные цифры должны сбрасываться.

Возможный алгоритм решения. При нажатии в нужной последовательности «верных» кнопок наборного поля сигнал на усилитель электромагнита должен последовательно распространяться по цепочке переключающихся элементов, каждый из которых связан с соответствующей «верной» кнопкой. Нажатие любой «неверной» кнопки должно сбрасывать переключающиеся элементы в исходное состояние. Для их сброса можно воспользоваться тем, что один переключающийся элемент (при нарушении последовательности нажатия «верных» кнопок) будет оставаться в исходном состоянии при поступлении напряжения от кнопки на вход последующего элемента. Через установленное время после срабатывания электромагнита замка компонент устройства сбрасывает все переключившиеся элементы.

Преобразователь двоичного кода во временной интервал

Возможный алгоритм решения. В компоненте преобразователя накапливается число при поступлении на него импульсов присутствующего в устройстве генератора. Оно сравнивается с заданным кодом.

Устройство выделения периода импульсной последовательности

Возможный алгоритм решения. Период импульсной последовательности может быть сформирован на выходе переключающего элемента, который после этого должен быть заблокирован. Следующий период импульсной последовательности может фиксироваться только после разрешающего сигнала.

Преобразователь напряжение—частота

Спроектировать устройство, частота импульсов на выходе которого пропорциональна входному напряжению.

Возможный алгоритм решения. Под действием входного напряжения осуществляется линейный заряд конденсатора. Его быстрый разряд происходит в момент, когда напряжение на нем достигает значения входного напряжения.

Ответы на вопросы и задачи

К ГЛАВЕ 1

- Вопрос 1:** НЕ.
Вопрос 2: 1.
Вопрос 3: 0.
Вопрос 4: 0 1.
Вопрос 5: 1. 0.
Вопрос 6: 279.
Задача 1: \bar{x}_1 ; «вес» — 0.
Задача 2: $\bar{x}_3x_2 + \bar{x}_2x_1$; «вес» — 3.
Задача 3: см. рис. 1.
Задача 4: $\bar{x}_2 + x_1$; «вес» — 1.

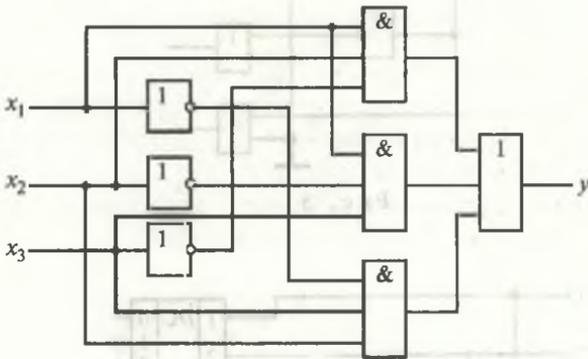


Рис. 1

К ГЛАВЕ 2

- Задача 1:** см. рис. 2.
Задача 2: см. рис. 3.

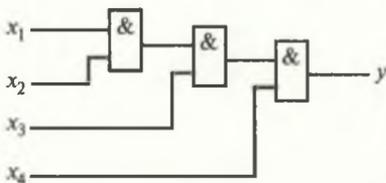


Рис. 2

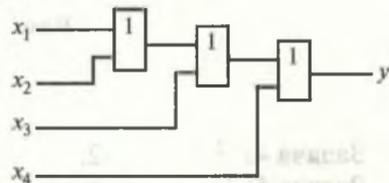


Рис. 3

К ГЛАВЕ 3

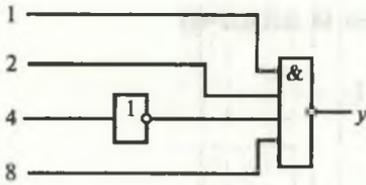


Рис. 4

- Вопрос 1:** 4.
Вопрос 2: И-НЕ.
Вопрос 3: 4.
Вопрос 4: 4.
Вопрос 5: 1011.
Вопрос 6: 7.
Вопрос 7: 6.
Задача 1: см. рис. 4.
Задача 2: см. рис. 5.

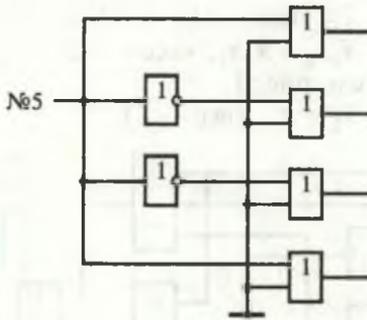


Рис. 5

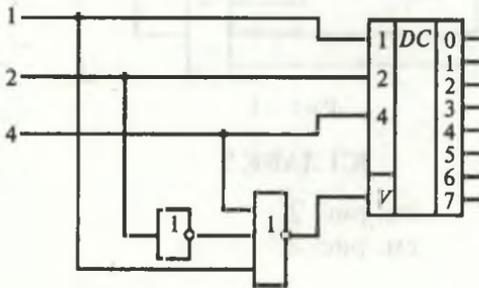


Рис. 6

- Задача 4:** 2.
Задача 5: см. рис. 6.
Задача 6: 001 011; см. рис. 7.

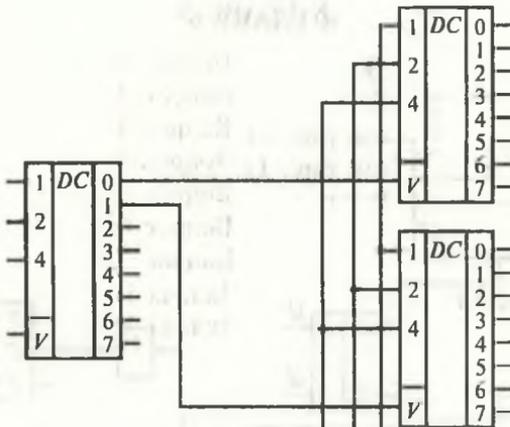


Рис. 7

К ГЛАВЕ 4

- Вопрос 1: 3.
 Вопрос 2: 00 01 10 11.
 Вопрос 4: 1010 0110.
 Задача 1: см. рис. 8.
 Задача 2: 16.
 Задача 3: 001 011.
 Задача 4: 0 1 2 3 4 5 6 7.

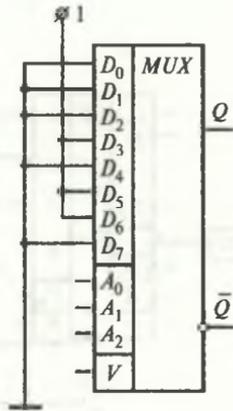


Рис. 8

К ГЛАВЕ 5

- Задача 1: см. рис. 9.
 Задача 2: см. рис. 10.

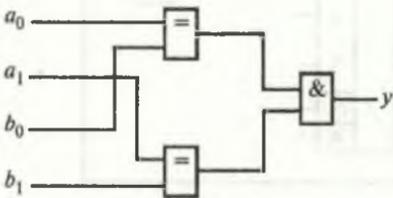


Рис. 9

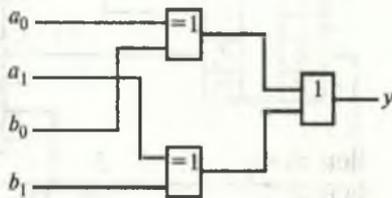


Рис. 10

К ГЛАВЕ 6

- Вопрос 1:** D.
Вопрос 2: 5.
Задача 1: см. рис. 11.
Задача 2: см. рис. 12.

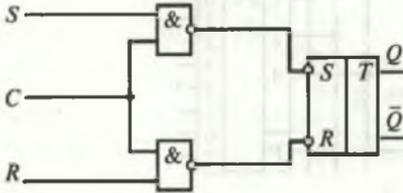


Рис. 11

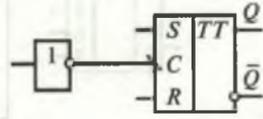


Рис. 12

К ГЛАВЕ 7

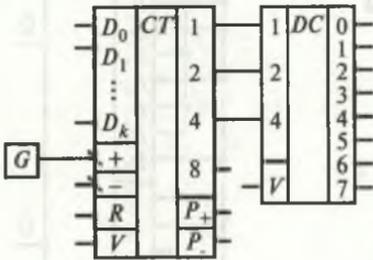


Рис. 13

- Вопрос 1:** 1 16 256.
Вопрос 2: 7.
Вопрос 3: 3 14 8.
Вопрос 4: 8 7.
Вопрос 5: 13.
Вопрос 6: 3.
Вопрос 7: 9.
Задача 1: см. рис. 13.
Задача 2: см. рис. 14.

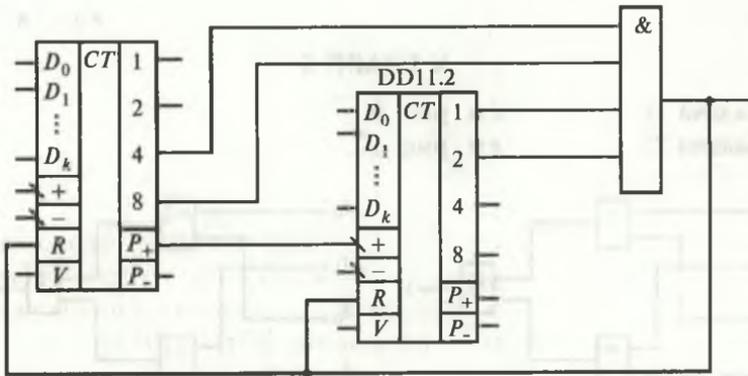


Рис. 14

Задача 3: см. рис. 15.

Задача 4: см. рис. 16.

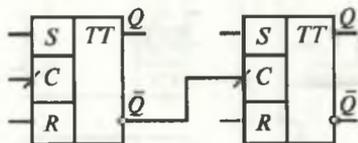


Рис. 15

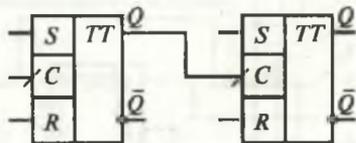


Рис. 16

К ГЛАВЕ 8

Вопрос 1: 6.

Вопрос 2: 6.

К ГЛАВЕ 10

Вопрос 1: 2,56 В.

Вопрос 2: 10.

Вопрос 3: 10.

Задача 1: 110010.

Задача 2: 1/3.

К ГЛАВЕ 11

Вопрос 1: CE .

Вопрос 2: $7D$.

Вопрос 3: 8192.

Вопрос 4: 11.

Вопрос 5: 6.

Вопрос 6: 2.

Вопрос 7: 64.

Вопрос 8: 1.

Вопрос 9: 11000.

Вопрос 10: CAS .

Задача 1: см. рис. 17.

Задача 2: см. рис. 18, где из четырех микросхем, на рисунке приведены две из них, расположенные подряд в младших адресах указанного фрагмента $DOOO-DFFF$.

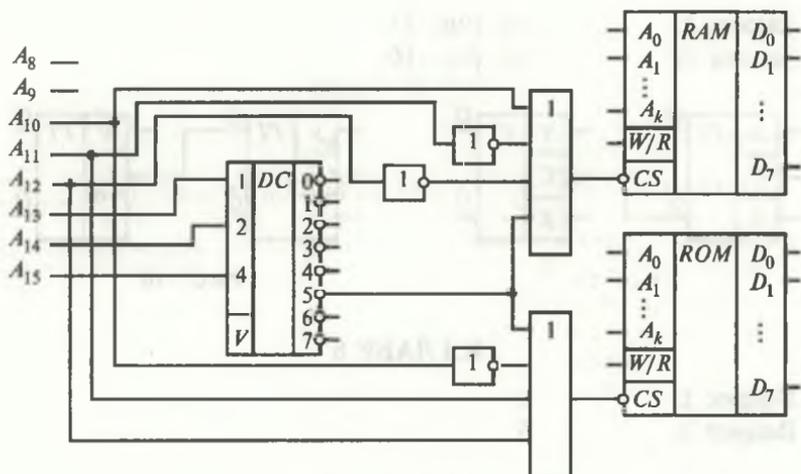


Рис. 17

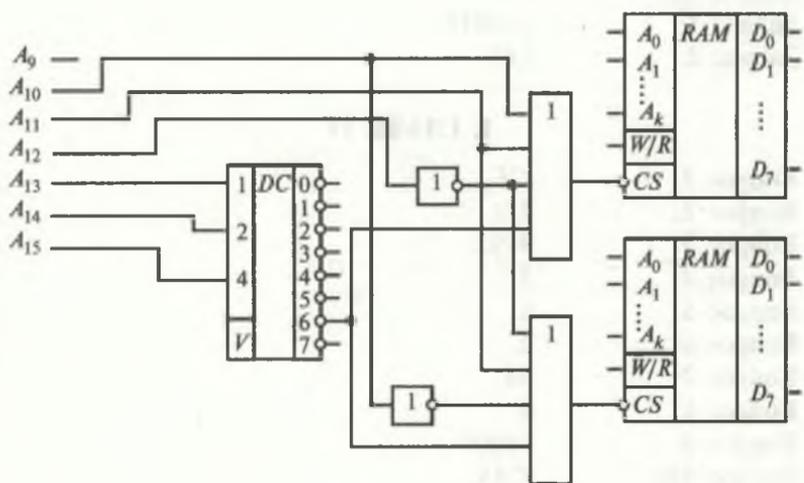


Рис. 18

Оглавление

Введение	3
ЧАСТЬ ПЕРВАЯ. ЭЛЕМЕНТЫ И УЗЛЫ ЦИФРОВЫХ УСТРОЙСТВ	6
Глава 1. Сигналы цифровых устройств	6
1.1. Общие сведения	6
1.2. Двоичная система счисления	7
1.3. Цифровые сигналы	8
1.4. Логические сигналы	11
1.5. Элементы алгебры логики	14
1.5.1. Базисные логические функции И, ИЛИ, НЕ	14
1.5.2. Основные соотношения алгебры логики	16
1.5.3. Базисные логические функции И-НЕ, ИЛИ-НЕ	18
1.5.4. Составление логических функций	20
1.5.5. Минимизация логических функций	22
<i>Вопросы для самоконтроля</i>	27
<i>Задачи</i>	28
<i>Указания к вопросам и задачам</i>	28
<i>Литература</i>	28
Глава 2. Элементарная база цифровых устройств	29
2.1. Общие сведения	29
2.2. Элементарная реализация логических функций	29
2.3. Базовые логические элементы	31
2.3.1. Базовый ТТЛ-элемент И-НЕ	32
2.3.2. Базовый КМОП-элемент ИЛИ-НЕ	34
2.3.3. Базовый ЭСЛ-элемент ИЛИ/ИЛИ-НЕ	36
2.3.4. Программируемая логическая матрица	38
2.4. Параметры логических элементов	39
<i>Вопросы для самоконтроля</i>	43
<i>Задачи</i>	43
<i>Литература</i>	43
Глава 3. Дешифраторы и шифраторы	44
3.1. Общие сведения	44
3.2. Дешифраторы	45
3.2.1. Структура дешифратора	45
3.3. Шифраторы	50
<i>Вопросы для самоконтроля</i>	51
<i>Задачи</i>	51
<i>Указания к вопросам и задачам</i>	52
<i>Литература</i>	52

Глава 4. Коммутаторы	53
4.1. Общие сведения	53
4.2. Мультиплексоры	53
4.3. Демультимплексоры	56
<i>Вопросы для самоконтроля</i>	57
<i>Задачи</i>	58
<i>Указания к вопросам и задачам</i>	58
<i>Литература</i>	58
Глава 5. Цифровые компараторы	59
5.1. Общие сведения	59
5.2. Структура компаратора	59
<i>Задачи</i>	63
<i>Литература</i>	63
Глава 6. Триггеры	64
6.1. Общие сведения	64
6.2. Нетактируемые триггеры	65
6.3. Тактируемые триггеры	68
6.4. Счетные триггеры	73
6.5. Триггер Шмитта	74
<i>Вопросы для самоконтроля</i>	75
<i>Задачи</i>	75
<i>Указания к вопросам и задачам</i>	75
<i>Литература</i>	75
Глава 7. Счетчики и делители частоты	76
7.1. Общие сведения	76
7.2. Счетчики	77
7.2.1. Счетчики с последовательным переносом	77
7.2.2. Счетчики с параллельным переносом	82
7.2.3. Расширение емкости счетчиков	84
7.3. Делители частоты	85
<i>Вопросы для самоконтроля</i>	87
<i>Задачи</i>	88
<i>Указания к вопросам и задачам</i>	88
<i>Литература</i>	88
Глава 8. Регистры	89
8.1. Общие сведения	89
8.2. Параллельный регистр	89
8.3. Последовательный регистр	91
8.4. Параллельно-последовательный регистр	93
<i>Вопросы для самоконтроля</i>	94
<i>Задачи</i>	94
<i>Литература</i>	95

Глава 9. Сумматоры	96
9.1. Общие сведения	96
9.2. Одноразрядный сумматор	96
9.3. Многоразрядный сумматор	98
9.4. Представление двоичных чисел различными формами кодов	101
<i>Вопросы для самопроверки</i>	108
<i>Задачи</i>	108
<i>Литература</i>	109
Глава 10. Цифроаналоговые и аналого-цифровые преобразователи	110
10.1. Общие сведения	110
10.2. Цифроаналоговые преобразователи	111
10.2.1. Цифроаналоговые преобразователи с двоично-взвешенными резисторами	112
10.2.2. Цифроаналоговые преобразователи с резисторной матрицей $R-2R$, суммирующей токи	114
10.3. Аналого-цифровые преобразователи	116
10.3.1. Аналого-цифровой преобразователь последовательного счета	116
10.3.2. Времяимпульсный аналого-цифровой преобразователь	117
10.3.3. Кодоимпульсный аналого-цифровой преобразователь	118
10.3.4. Аналого-цифровой преобразователь двойного интегрирования	122
10.4. Параметры аналого-цифрового и цифроаналогового преобразователей	124
<i>Вопросы для самоконтроля</i>	126
<i>Задачи</i>	126
<i>Указания к вопросам и задачам</i>	126
<i>Литература</i>	127
Глава 11. Полупроводниковые запоминающие устройства	128
11.1. Общие сведения	128
11.2. Адресное пространство системы	130
11.3. Статические оперативные запоминающие устройства	134
11.3.1. Оперативные запоминающие устройства со словарной организацией	134
11.3.2. Оперативное запоминающее устройство с одноразрядной организацией	135
11.3.3. Нарастивание разрядности оперативного запоминающего устройства	136
11.4. Динамические оперативные запоминающие устройства	137
11.4.1. Особенности динамических оперативных запоминающих устройств	137
11.4.2. Регенерация динамических оперативных запоминающих устройств	139
11.5. Постоянные запоминающие устройства	140
11.6. Организация модуля запоминающего устройства	142
<i>Вопросы для самоконтроля</i>	144
<i>Задачи</i>	145
<i>Указания к вопросам и задачам</i>	145
<i>Литература</i>	145

ЧАСТЬ ВТОРАЯ. АНАЛОГОВЫЕ КОМПОНЕНТЫ ЦИФРОВЫХ УСТРОЙСТВ	146
Глава 12. Аналоговые компараторы	146
12.1. Общие сведения	146
12.2. Компараторы на интегральных микросхемах операционных усилителей	146
12.3. Специализированные интегральные микросхемы компараторов	150
12.4. Параметры компараторов	151
<i>Литература</i>	<i>153</i>
Глава 13. Формирователи импульсов	154
13.1. Общие сведения	154
13.2. Формирователи импульсов на логических элементах	155
13.3. Формирователь коротких импульсов на логических элементах	155
13.4. Таймеры	156
13.5. Дифференцирующие цепи	159
13.6. Интегрирующие цепи	161
13.7. Интеграторы и дифференциаторы на интегральных схемах операционных усилителей	166
13.7.1. Интегратор	166
13.7.2. Дифференциатор	168
<i>Литература</i>	<i>169</i>
Глава 14. Мультивибраторы	170
14.1. Общие сведения	170
14.2. Мультивибраторы на транзисторах	171
14.2.1. Основная схема автоколебательного мультивибратора	171
14.2.2. Ждущий мультивибратор	174
14.3. Мультивибраторы на специализированных интегральных микросхемах	176
14.3.1. Автоколебательный мультивибратор	176
14.3.2. Ждущий мультивибратор	177
14.4. Мультивибраторы на логических элементах	179
14.4.1. Автоколебательный мультивибратор	179
14.4.2. Ждущий мультивибратор	181
<i>Литература</i>	<i>182</i>
ЧАСТЬ ТРЕТЬЯ. ПРИМЕРЫ ЦИФРОВЫХ УСТРОЙСТВ	183
Глава 15. Блоки цифровых устройств	183
15.1. Преобразователи кодов	183
15.1.1. Общие сведения	183
15.1.2. Преобразователь на дешифраторе и шифраторе	184
15.1.3. Преобразователь двоичного кода в двоично-десятичный	184
15.1.4. Семисегментный дешифратор	186
15.2. Цифровая индикация	188
15.2.1. Общие сведения	188

15.2.2. Статическая индикация	188
15.2.3. Динамическая индикация	189
<i>Литература</i>	191
Глава 16. Функционально законченные цифровые устройства	192
16.1. Цифровой вольтметр	192
16.1.1. Общие сведения	192
16.1.2. Схема цифрового вольтметра	192
16.2. Электронные часовые устройства	195
16.2.1. Общие сведения	195
16.2.2. Электронные часы	197
16.2.3. Электронный будильник	199
16.3. Символьный дисплей	202
16.3.1 Общие сведения	202
16.3.2. Монохромный символьный дисплей	203
16.3.3. Цветной символьный дисплей	212
<i>Литература</i>	215
Глава 17. Задания на разработку цифровых устройств	216
Ответы на вопросы и задачи	219

Учебное издание

**Браммер Юрий Александрович,
Пашук Инна Наумовна**

ЦИФРОВЫЕ УСТРОЙСТВА

Редактор *Н.Е. Овчеренко*
Технический редактор *Н.В. Быкова*
Корректор *В.М. Ракитина*
Компьютерная верстка *Н.А. Попова*

Лицензия ИД № 06236 от 09.11.01.

Изд. № РЕНТ-72. Сдано в набор 17.11.03. Подп. в печать 26.03.04.

Формат 60x88 $\frac{1}{16}$. Бум. офсетная.

Гарнитура «Ньютон». Печать офсетная. Объем 14,21 усл. печ. л.
14,71 усл. кр.-отт. Тираж 5000 экз. Зак. № 3836.

ФГУП «Издательство «Высшая школа»,
127994, Москва, ГСП-4, Неглинная ул., 29/14.

Тел.: (095) 200-04-56.

E-mail: info@v-shkola.ru <http://www.v-shkola.ru>

Отдел реализации: (095) 200-07-69, 200-59-39, факс: (095) 200-03-01.
E-mail: sales@v-shkola.ru

Отдел «Книга-почтой»: (095) 200-33-36. E-mail: bookpost@v-shkola.ru

Набрано на персональных компьютерах издательства.

Отпечатано на ФГУП ордена «Знак Почета» Смоленская областная
типография им. В.И. Смирнова.214000, г. Смоленск, пр-т им. Ю. Гагарина, 2.



В издательстве «Высшая школа»
работает служба

«Книга  почтой»

Если Вы живете далеко от столицы,
не огорчайтесь!

Каждый желающий может заказать и получить выпускаемую издательством литературу по почте в любой точке России и ближнего зарубежья.

Стоимость пересылки составит 25% от суммы покупки, независимо от месторасположения.

Рассылка книг производится только по предоплате.

Для оформления заказа нужно воспользоваться прайс-листом издательства «Высшая школа».

Прайс-лист можно бесплатно заказать по почте, получить по факсу, заказать по электронной почте или найти на нашем сайте в Интернете.

При поступлении средств на расчетный счет издательства «Высшая школа» на каждого клиента открывается лицевой счет, на котором фиксируется движение средств клиента.

Цена заказанного товара может отличаться от указанной в прайс-листе. Отгрузка производится по цене, действующей в день регистрации заказа.



127994, Москва, ул. Неглинная, д.29/14.



Тел.: (095) 200-33-36

Факс: (095) 200-06-87, 200-03-01

E-mail: bookpost@v-shkola.ru

[Http://www.v-shkola.ru](http://www.v-shkola.ru)

Издательство «Высшая школа»

Адрес издательства: 127994, г. Москва, ул. Неглинная, 29/14
тел.: (095) 200-04-56
E-mail: info@v-shkola.ru
<http://www.v-shkola.ru>

Отдел реализации: тел.: (095) 200-07-69, 200-59-39
факс: (095) 200-03-01
E-mail: sales@v-shkola.ru

Отдел «Книга-почтой» тел.: (095) 200-07-69
E-mail: sales@v-shkola.ru

Отдел рекламы: тел.: (095) 200-07-69
E-mail: reklama@v-shkola.ru

Телефон магазина: тел.: (095) 200-30-14

Схема проезда



Проезд
до станции м. «Цветной бульвар», «Пушкинская»,
«Тверская», «Кузнецкий мост»
Вход в издательство со стороны Петровского бульвара.

Мы будем рады видеть Вас!